

الجمهورية الجزائرية الديمقراطية الشعبية
République Algérienne Démocratique et Populaire
وزارة التعليم العالي و البحث العلمي
Ministère de l'enseignement Supérieur et de la Recherche scientifique



Université Mohamed Khider Biskra
Faculté des Sciences et de la Technologie
Département de Génie Electrique
Filière : Electronique
Option : Télécommunication

Réf:.....

**Mémoire de Fin d'Etudes
En vue de l'obtention du diplôme:**

MASTER

Thème

Etude et réalisation d'un analyseur
logique multi-voix contrôlé par PC

Présenté par :

MASSA Ali

Soutenu le : 10 Juin 2012

Devant le jury composé de :

Dr. GEUSBAYA. Tahar

Dr. BEKHOUCHE Khaled

Dr. KAHOUL Nadhir

MAA

MAA

MAA

Président

Encadreur

Examineur

Année universitaire : 2011 / 2012

الجمهورية الجزائرية الديمقراطية الشعبية
République Algérienne Démocratique et Populaire
وزارة التعليم العالي و البحث العلمي
Ministère de l'enseignement Supérieur et de la recherche scientifique



Université Mohamed Khider Biskra
Faculté des Sciences et de la Technologie
Département de Génie Electrique
Filière : Electronique
Option : Télécommunication

Mémoire de Fin d'Etudes
En vue de l'obtention du diplôme:

MASTER

Thème

Etude et réalisation d'un analyseur logique
multi-voix contrôlé par PC

Présenté par :

Massa Ali

Avis favorable de l'encadreur :

Dr. Bekhouche Khaled

Avis favorable du Président du Jury

MAA. GEUSBAYA. Tahar

Cachet et signature

الجمهورية الجزائرية الديمقراطية الشعبية
République Algérienne Démocratique et Populaire
وزارة التعليم العالي و البحث العلمي
Ministère de l'enseignement Supérieur et de la recherche scientifique



Université Mohamed Khider Biskra
Faculté des Sciences et de la Technologie
Département de Génie Electrique
Filière : Electronique
Option : Télécommunication

Mémoire de Fin d'Etudes
En vue de l'obtention du diplôme:

MASTER

Thème

Etude et réalisation d'un analyseur logique
multi-voix contrôlé par PC

Présenté par :

Massa Ali

Avis favorable de l'encadreur :

Dr. Bekhouche Khaled

Avis favorable du Président du Jury

MAA. GEUSBAYA. Tahar

Cachet et signature

الجمهورية الجزائرية الديمقراطية الشعبية
République Algérienne Démocratique et Populaire
وزارة التعليم العالي و البحث العلمي
Ministère de l'enseignement Supérieur et de la Recherche scientifique



Université Mohamed Khider Biskra
Faculté des Sciences et de la Technologie
Département de Génie Electrique
Filière : Electronique
Option : Télécommunication

Thème :

Etude et réalisation d'un analyseur logique multi-voix contrôlé par PC

Proposé par : Dr. BEKHOUCHE Khaled

Dirigé par : Dr. BEKHOUCHE Khaled

RESUME

On a réalisé, autour d'un PC, une carte connectée au port série qui a pour rôle l'acquisition sur huit canaux de 2084 échantillons à la cadence de stockage programmable pouvant, atteindre les 2,38 MHz. Les huit signaux numériques présents sur les voies d'entrées sont de type TTL.

Le software écrit en langage évolué permet; l'affichage graphique avec une base de temps variable. Le début de l'acquisition des signaux peut être déclenché aussi bien par programme que par un signal externe.

Dédicace

Je dédie ce travail à mes très chers parents qui ont tant prié à mon réussite,

De soutien moral je remercie de n'avoir encouragé

Et aidés à devenir ce que Je suis.

Et a mes frères, mes sœurs,

Et à toute ta famille.

Et mon collègue bachire, et à toute ta promotion

Master De Année 2012

A mes très chers amis.

Alli

Remerciements

Au terme de ce travail, je tiens en premier lieu à présenter mes remerciements au dieu qui m'a aidé à débiter et surtout à accomplir ce travail mes plus sincères remerciements notamment à mon encadreur Monsieur bakhouche khaled qui a accepté de m'encadrer et qui m'a fait profiter de ses larges connaissances et ces précieux conseils au cours de notre projet de fin d'étude.

Toutefois, il faut souligner que ce travail n'aurait pu voir le jour sans l'inestimable connaissance et savoir faire acquis dans notre honorable faculté « la Faculté des Sciences de UMKB ».

Je remercie mes collègues d'université bachi, mouhamed, mounir, yacin, salah et la liste est vaste comme je profite l'occasion pour remercier mes collègues de la résidence universitaire 500 lits : said, isshak, hamma guissi , djema , zouka ,soufiane, yacin, mounir,ect

Je remercie tous qui ont participer de loin ou de prés dans le but de réussir ce projet mille merci.

Enfin j'exprime mes remerciements, les plus dévoués, aux membres de jury qui nous ont

honorés pour évaluer notre travail.

Liste des Tableaux

Tableau I .1.Différence entre deux types d'analyseur logique.....	8
Tableau.II.1.Broches de la PIC 16F877.	16
Tableau.II.2.RP1 et RP0 pour selecte le Bank.	22
Tableau. III.1. Présentation l'adaptation de niveaux logique.....	33
Tableaux. III.2.Affectation des broches du port série.	40
Tableaux. III. 3.Correspondance entre la valeur de débite le temps de maintien des données.....	44
Tableaux. III.4.Etats logiques des tensions rs232.	44
Tableaux.III.5. Version de norme rs232 en fonction de tension.	44
Tableau.III.6. significations DTE/DCE.....	45
Tableau.III.7. démêlements chronologiques de l'handShaking.	48
Tableau.IV.1. Le fonctionnement de la RAM HM6264.	56
Tableau.IV.2. Le fonctionnement de 74HC573.	57
Tableau.IV.3. Le fonctionnement de 74HC393.	57

Liste des Figures

Chapitre I: Généralité sur l'analyseur logique

Fig. I. 1. Schéma bloc de l'analyseur logique.	3
Fig. I. 2. Équivalent la première étape de l'analyseur.	4
Fig. I. 3. Principe du capteur de signale	5
Fig. I. 4. Schéma block du circuit de trigger.	5

Chapitre II: Le Microcontrôleur 16F877

Fig.II.1. architecture générale des microcontrôleurs.	12
Fig.II.2. Les brochages de PIC 16F877.	14
Fig. II. 3. Architecture interne du PIC 16F877.	18
Fig.II.4. les différents ports d'entrée sortie.	20
Fig.II.5. organisation de la mémoire de programme et de la pile.	21
Fig. II.6. Adresses des principaux registres et organisation de la mémoire de données.	22
Fig.II.7. Le microprocesseur de pic 16F877.	23
Fig.II.8. Register STATUS.	24
Fig.II.9. synoptique des modes d'interruptions	27
Fig.II.10. schéma fonctionnel analogique numérique.	29

Chapitre III: La communication série RS232

III.1.Introduction :	32
Figure III.1. Types de transmission.	32
Fig. III.2. Présentation la liaison série.	33
Fig. III.3.Cellule mémoire.	34
Fig. III.4. Transmission PC vers un périphérique.	34
Fig. III.5. Liaison parallèle.	35
Fig. III.6. Exemple de la liaison série synchrone.	36
Fig. III.7. Digramme de transmission.	37
Fig. III.8. Exemple de la liaison série synchrone.	39
Fig. III.9. Interconnexion entre deux équipements.	39
Fig. III.10. Interconnecter plusieurs équipements.	40
Fig. III.11. Le brochage de RS232.	40
Fig. III.12. Liaison unidirectionnelle.	41
Fig. III.13. Chronogramme de liaison unidirectionnelle.	41
Fig. III.14. Liaison half duplex.	42

<i>Fig. III.15. Chronogramme de liaison half duplex.</i>	42
<i>Fig. III.16. Liaison full duplex.</i>	42
<i>Fig. III.17. Chronogramme de liaison full duplex.</i>	42
<i>Fig. III.18. Codage parallèle vers série.</i>	43
<i>Fig. III.19. Liaison complète entre un DTE et DCE.</i>	45
<i>Fig. III.20. Liaison complète entre deux DTE (Nul Modem).</i>	46
<i>Fig. III.22. Liaison trois fils (DTE/DTE).</i>	47
<i>Fig. III.23. Liaison complétée vers équipement trois fils (DTE/DTE).</i>	47
<i>Fig. III.24. Chronogramme protocole matériel.</i>	48

Chapitre IV : conception et réalisation de la carte d'acquisition

<i>Fig.IV.1. Schéma bloc de l'analyseur logique.</i>	51
<i>Fig.IV.2. Schéma électrique de La carte d'Interface.</i>	52
<i>Fig.IV.3. Schéma électrique de la carte d'acquisition.</i>	53
<i>Fig.IV.4. Le circuit d'horloge.</i>	54
<i>Fig.IV.5. schéma électrique de la carte d'alimentation.</i>	55
<i>Fig.IV.6. Brochage de la RAM HM6264.</i>	55
<i>Fig.IV.7. Brochage du circuit 74HC573</i>	56
<i>Fig.IV.8. Brochage et bloc digramme du compteur 74HC393</i>	57
<i>Fig.IV.9. schéma bloc et fonctionnel du MAX232.</i>	58
<i>Fig.IV.11.Le circuit imprimé de la carte d'acquisition.</i>	59
<i>Fig.IV.12.Le circuit imprimé de la carte d'alimentation et d'horloge.</i>	59

Chapitre V : Partie software

<i>Fig.V.1. L'interface principale d'ISIS.</i>	62
<i>Fig.V.2. La barre a Menu.</i>	64
<i>Fig. V.3. La barre a outil.</i>	64
<i>Fig.V.4. Organigramme des Etapes de la saisie de schéma électrique.</i>	65
<i>Figure V.5. L'interface principale d'ARES.</i>	66
<i>Fig.V.6. La barre a Menu.</i>	67
<i>Fig.V.7. La barre a outil.</i>	67
<i>Fig.V.8. Organigramme présent la méthode automatique.</i>	68
<i>Fig.V.9. Une fenêtre s'ouvre (New Project).</i>	69
<i>Fig.V.10. Fenêtre Start de Project.</i>	69

<i>Fig.V.11. Choisie de la device.</i>	70
<i>Fig.V.12. langage utilisée.</i>	70
<i>Fig.V.13. le placement et le nom du projet suivi de l'extension .pjt.</i>	71
<i>Fig.V.14. d'ajouter un fichier source</i>	71
<i>Fig.V.15. fin de creatation de Nouveau project.</i>	71
<i>Fig.V.16. nouvelle fenêtre.</i>	72
<i>Fig.V.17.La fenêtre.</i>	72
<i>Fig.V.18.Le message de débranche le programmeur</i>	73
<i>Fig.V.20. Le message de configuration hardware.</i>	74
<i>Fig.V.21. La sélection de PIC.</i>	74
<i>Fig.V.22. Chargement de fichier de flash</i>	74
<i>Fig.V.23. La fenêtre finale de flash.</i>	75
<i>Fig.V.24. organigramme de programme PC.</i>	76
<i>Fig.V.25. organigramme de programme microcontrôleur.</i>	77

Résume

On a réalisé, autour d'un PC, une carte connectée au port série qui a pour rôle l'acquisition sur huit canaux de 2084 échantillons à la cadence de stockage programmable pouvant, atteindre les 2,38 MHz. Les huit signaux numériques présents sur les voies d'entrées sont de type TTL.

Le software écrit en langage évolué permet; l'affichage graphique avec une base de temps variable. Le début de l'acquisition des signaux peut être déclenché aussi bien par programme que par un signal externe.

الخلاصة :

قمنا بإنجاز بطاقة مرتبطة بالحاسوب عن طريق المنفذ التسلسلي. دور هذا الانجاز هو كسب ثمانية إشارات رقمية عن طريق ثمانية قنوات. يمكن حفظ إلى غاية 2048 عينة بسرعة تصل إلى 2,38 MHz. المداخل الرقمية هي من نوع TTL. البرنامج مكتوب بلغة برمجة تسمح بعرض الرسم بقاعدة زمنية متغيرة. بداية كسب الإشارات الرقمية تكون بأمر من البرنامج أو بإشارة خارجية.

Sommaire

Introduction général

Chapitre I: Généralité sur l'analyseur logique

I .1. Introduction.....	2
I .2. Généralités	2
I .2.1. Définition de l'analyseur logique	2
I .2.2. Description	3
I .2.3. Caractéristiques importantes des analyseurs logiques	4
I .3. Principe de l'analyseur logique	4
I .3.1. Logique	4
I .3.2. Echantillonnage	5
I .3.3. Circuit de déclenchement	5
I .3.4. Relation entre le curseur de déclenchement et LA-mémoire	6
I .3.5. Relation entre LA-Interface PC et la mémoire	7
I .4. Utilisation	8
I .5. Avantage	8
I .6. Difference enter PC Based et stand alone.....	8
I .7. Conclusion	9

Chapitre II: Le Microcontrôleur 16F877

II. 1. Introduction	11
II. 2. Généralité	11
II. 2. 1. Définition de PIC	11
II .2.2. Classification des PICs de microchip	13
II.2. 3. Identification des PICs.....	13
II.2.4. Les avantage du microcontrôleur	13
II. 3. Description générale du PIC 16F877A	14
II. 3. 1. Architecture externe	15
II. 3.1.a. Alimentation<<vdd et vss>>	16
II. 3.1.b. L'horloge	17
II. 3.1.c. MCLR.....	17
II.3.2. Architecture interne	18
II.3.2.1. Les différents ports entrés sorties du PIC 16F877	19
II.3.2.2. Organisation de la mémoire	20

II. 3.2.2.1. La mémoire programme	20
II. 3.2.2.2. La mémoire EEPROM	20
II. 3.2.2.3. la mémoire RAM et organisation	20
II. 3.2.2.3.a. Plan mémoire pour les instructions	21
II. 3.2.2.3.b. Plan mémoire pour les données et registre interne	21
II.3.2.3. L'UAL	23
II.3.2.4. Les registres de l'unité centrale	23
II.3.2.5. Les Timers	25
II.3.3. Les interruptions	26
II.3.3.1 Présentation	26
II.3.3.2 Fonctionnement:	26
II.3.3.3. Mécanisme générale d'une interruption	27
II.3.3.4. Mécanisme d'interruption sur les PICs.....	28
II.3.4. Le convertisseur analogique numérique	29
II. 3.5. Communication PIC-PC (USART)	30
II. 4. Conclusion	30

Chapitre III: La communication série RS232

III.1. Introduction	32
III.2. Les modes de transmission des données	32
III.3. Présentation	32
III.4. Les principes et les liaisons	34
III.4.1. Le principe de la communication	34
III.4.1.1. Fonctionnement d'une cellule mémoire	34
III.4.1.2. Transmission d'une donnée binaire d'un PC vers un périphérique.....	34
III.4.2. La liaison parallèle	35
III.4.3. La liaison série	36
III.4.3.1. Synchrone	36
III.4.3.1.a. Le principe	36
III.4.3.1.b. Emission des données	37
III.4.3.1.c. Réception des données	37
III.4.3.1.d. Le débit de la transmission	38
III.4.3.2. asynchrone	38
III.4.4. Bus ou liaison	39
III.5. Le brochage de RS232	40
III.6. Descriptions techniques de la RS232	41
III.6.1. Vocabulaire	41
III.6.1.1. Liaison unidirectionnelle	41
III.6.1.2. Liaison half duplex	42

III.6.1.3.Liaison full duplex.....	42
III.6.2.Le norme RS232	43
III.6.3.Caractéristiques électriques.....	44
III.7.Interconnexion des équipements	45
III.7.1.Liaison complète DTE / DCE	45
III.7.2.Liaison complète DTE/DTE.....	46
III.7.3.Liaison deux fils DTE/DTE	46
III.7.4.Liaison trois fils DTE/DTE	47
III.7.5.Liaison complète vers trois fils DTE/DTE	47
III.8.LE PROTOCOLE.....	47
III.8.1.Handshake	47
III.8.2.Logiciel (XON/XOFF).....	48
III.9.Conclusion.....	49

Chapitre IV : conception et réalisation de la carte d'acquisition

IV .1. Introduction.....	51
IV .2. Etude des éléments de l'Analyseur Logique.....	52
IV .2.1. La carte d'Interface	52
IV .2.2. La carte d'Acquisition.....	52
IV .2.3. Circuit d'horloge	54
IV .2.4. Alimentation.....	54
IV .3 .principaux circuit utilisées dans les cartes	55
IV .3.1. La RAM	55
IV.3.2. LATCH 74HC573.....	56
IV .3.3. Compteur.....	57
IV .2.4. MAX RS232	58
IV.3. Circuits imprimés des cartes réalisées	58
IV.4. Conclusion	59

Chapitre V : Partie software

V.1. Introduction	61
V.2. Logiciel proteus.....	61
V.2. 1. L'éditeur de schéma ISIS	61
V.2. 1.1. Interface utilisateur.....	62
V.2. 1.1.a. Fenêtre d'ensemble.....	62
V.2. 1.1.b. Fenêtre d'édition.....	63
V.2. 1.1.c. La boite à outils	63
V.2. 1.1.d. Coordonnées du curseur	63

V.2. 1.1.e.Organisation de la boite à outils	64
V.2. 1.2.Etapes de la saisie de schema	65
V.2. 2. L’outil de conception de circuit imprime ARES.....	66
V.2. 2.1.Utilisation du module ARES	66
V.2. 2.2. Interface utilisateur.....	66
V.2. 2.3. Organisation de la boite à outils	67
V.1. 2.4. Etapes du routage direct	68
V.3. Logiciel MPLAB.....	69
V.4. L’ICPROG.....	73
V.4.1. Configuration de l’ICPROG.....	74
V.4.2. Flash de PIC	74
V.5. Organisation général du programme	75
V.5.1. organisation du programme PC.....	75
V.5.2. organigramme du programme microcontrôleur	76
V.6.Conclusion.....	77

Conclusion générale

Bibliographique

Introduction générale

Actuellement, nous constatons que tous les laboratoires disposent d'ordinateurs, de tels micro-ordinateurs sont connus par leur grande richesse software (grâce à la disponibilité de la majorité des langages évolués) et hardware (grâce au bus extensibles).

Notre projet comme toute application autour d'un PC exploite ses grandes possibilités dans le but de concevoir une carte accomplissant la tâche d'un analyseur logique.

L'analyseur logique, tout comme l'oscilloscope pour l'étude des signaux analogiques est un instrument indispensable pour l'analyse, l'étude, et la détection des pannes, pour les circuits numériques.

Cependant, ce dispositif reste indisponible sur nos marchés, et même si on le trouve, son coût reste dissuasif. Cela nous a incités à réaliser une carte à huit canaux TTL/CMOS, jouant relativement le même rôle tout en ayant un prix très raisonnable.

Ce mémoire est organisé en Cinq chapitres.

Le premier chapitre comporte des définitions et présente des générales sur les analyseurs logiques.

Le deuxième chapitre présente en détailles le microcontrôleur PIC 16F877A, son brochage, ses ports, ses périphériques et leurs configurations.

Dans le troisième chapitre on expose le port utilisé pour la communication entre l'analyseur logique réalisé et le PC.

Le quatrième chapitre dévoile la circuiterie électroniques. sont consacrés à la carte réalisée : l'analyseur logique.

Le cinquième étudie la partie logicielle. Le mémoire est terminé par une brève conclusion.

Chapitre I

Généralité sur l'analyseur logique

I.1. Introduction

Combien de fois auriez-vous aimé scruter ce qui se passe sur un bus de communication, ne serait-ce que bifilaire : une liaison V24 plus connue sous RS232, examiner le protocole I2C à des fins de débogage ou encore les signaux circulant sur un bus système ?

Il faut se rendre à l'évidence : l'oscilloscope dépanne de ce genre de situation mais ne donne jamais entière satisfaction, il n'a pas été conçu dans ce but, le déclenchement n'est pas facilement réalisable et l'instant T est souvent hors de l'écran !

C'est là que l'analyseur logique entre en scène : il est capable de mémoriser une quantité d'informations plus importantes, et de déclencher sa capture selon des critères bien précis : front montant, état haut, sur octet...

I.2. Généralités :

I.2.1. Définition de l'analyseur logique :

L'analyseur logique (multi-voix) peut être comparé à un gros oscilloscope multivoies à mémoire, spécialisé dans la capture et la visualisation de signaux logiques. Comme l'oscilloscope il présentera l'évolution de niveaux logiques en fonction du temps. Cependant la grandeur présentée ne sera pas une tension, mais seulement une donnée binaire résultant d'une comparaison à un seuil de tension. Par exemple, si la tension présente sur une entrée est supérieure à 2,5 V sur une entrée, l'analyseur logique présentera un niveau 1, dans le cas contraire un niveau 0. Les niveaux intermédiaires ne seront pas représentés. [1]

Il faut souligner deux points forts des analyseurs logiques :

- ils peuvent visualiser l'évolution des niveaux logiques de plusieurs dizaines à plusieurs centaines de sources simultanément. Les données entrantes peuvent être groupées pour être présentées sous des formes diverses, par exemple sous forme d'octets.
- le déclenchement de l'analyseur peut s'effectuer, au choix de l'utilisateur, selon des critères très élaborés: fronts, apparition d'un octet ou d'un mot donné, d'une séquence

quelconque, d'une conjonction d'évènements, faire intervenir des temporisations, etc...

Deux modes d'utilisation peuvent être sélectionnés:

- le mode "timing" qui s'apparente beaucoup au mode de fonctionnement d'un oscilloscope classique. L'axe horizontal représente simplement le temps.
- le mode "state" où la base de temps est fournie par l'horloge du système observé. Les données présentées sont celles capturées aux instants précis des transitions du signal d'horloge. Ce mode de fonctionnement permet de ne mettre en mémoire que les seules données pertinentes d'un système logique, d'optimiser l'utilisation de la mémoire et de faciliter ensuite le travail d'interprétation.

Les données et la configuration peuvent généralement être archivées sur un disque dur interne à l'appareil. Les fichiers de données peuvent ensuite être exportés à des fins de traitement externe.

I.2.2. Description :

La Figure. I.1. voire Globalement l'analyseur logique, qui est un circuit est assez simple car il est composé d'un PIC d'assez grosse capacité et de beaucoup de mémoire RAM ainsi que d'un trigger. Le principe général est basé sur le chronométrage de la durée de chaque état différent sur le bus analysé. Une fois que la mémoire est pleine ou que le bus est devenu stable, le contenu de la RAM est envoyé au PC afin d'afficher d'une manière graphique l'évolution du bus.

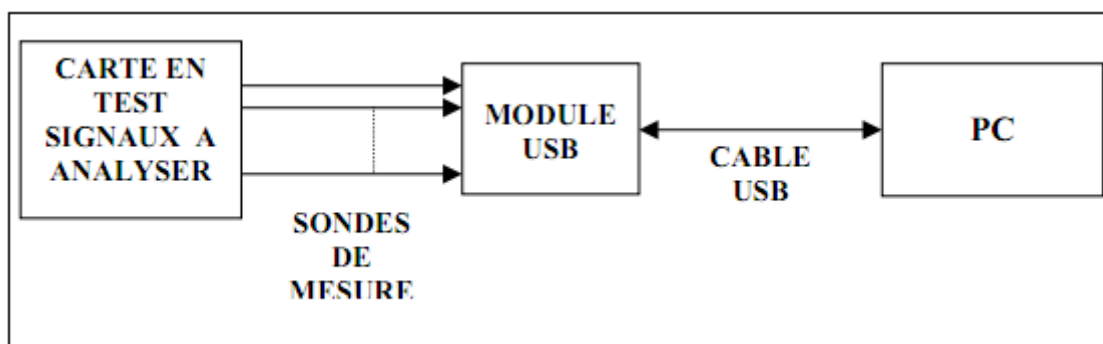


Fig. I. 1. Schéma bloc de l'analyseur logique.

I.2.3. Caractéristiques importantes des analyseurs logiques :

Les analyseurs logique varient grandement, sur des points parmi lesquels :

1- Le nombre de lignes d'entrées: Il en faut au moins 24 pour contrôler les 8 lignes du bus de données et les 16 du bus d'adresses si l'on considère un système à microprocesseur à 8 bits IL en faut encore pour les signaux de commande, les horloges et d'autres entrées importantes.

2- Le volume de la mémoire : Chaque état antérieur mémorisé occupera plusieurs octets.

3- La fréquence maximale : Elle doit être de plusieurs mégahertz pour pouvoir suivre les processus les plus rapides.

4- Les méthodes de connexion au micro-ordinateur.

5- Le nombre de canaux affichés.

6- La forme d'affichage : Binaire, Hexadécimale.

7- Les formats d'affichage.

I.3. Principe de l'analyseur logique :

I.3.1. Logique :

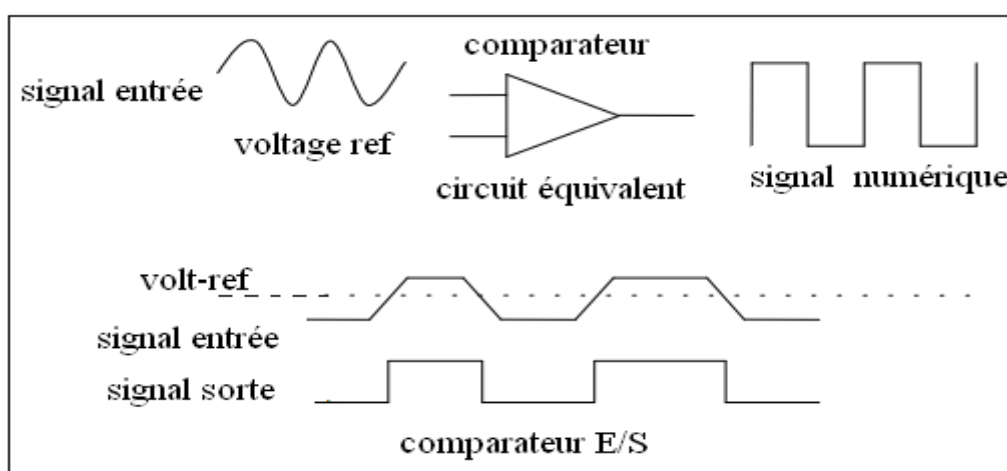


Fig. I. 2. Équivalent la première étape de l'analyseur.

Le circuit équivalent ci-dessus décrit la première étape de l'Analyseur de Logique pour numériser le signal sondé à l'aide d'un comparateur. La tension de référence du comparateur peut être ajustée par l'application logicielle (Fig. I. 2). [2]

I .3.2. Echantillonnage :

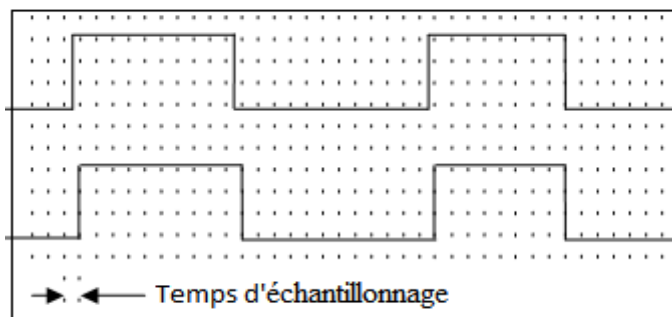


Fig. I. 3. Principe du capteur de signale

- Temps d'échantillonnage = $1 / (\text{Taux d'échantillonnage})$

Après le processus de numérisation, l'état de signal numérique sera enregistré dans la mémoire de Los Angeles. Ensuite, le PC de relire les données de la mémoire et les afficher sur l'écran du PC. [2]

I .3.3.Circuit de déclenchement :

Initiée par un signal de déclenchement, qui est généré par le circuit de déclenchement, l'analyseur logique commence la capture et l'enregistrement. Comme avec un oscilloscope, les paramètres du circuit de déclenchement peut être réglé. Si le signal de sondage satisfait à la condition, le signal de déclenchement permettra l'enregistrement de données LA-mémoire jusqu'à ce que la mémoire est pleine. Dans certains cas, la profondeur de mémoire de l'analyseur peut ne pas être suffisante pour capturer toutes les données souhaitées. Donc, il est très important de définir les paramètres de déclenchement correctement afin de capturer les données que vous souhaitez. Les fonctions de déclenchement avancées et polyvalentes de LA2000P peut vous aider à résoudre ce problème. [2]

Le schéma simplifié ci-dessous décrit cette opération. (Fig. I. 3.)

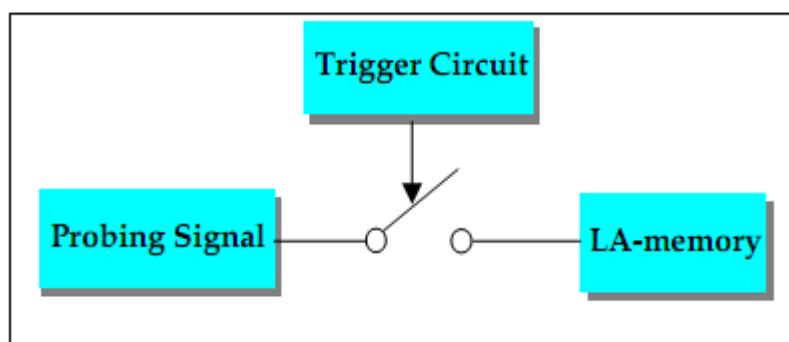


Fig. I. 4. Schéma block du circuit de trigger.

I .3.4. Relation entre le curseur de déclenchement et LA-mémoire :

<<LA : Logic analyzer >> La relation entre le curseur de déclenchement et LA-mémoire peut être difficile à comprendre. Bien que la mémoire soit profonde pour chaque canal de l'analyseur logique, il peut être difficile de saisir les données souhaitées à moins que les paramètres de déclenchement soient réglés correctement. Profondeur de mémoire signifie que la taille mémoire de chaque canal, par exemple Profondeur mémoire 128kbits pouvez enregistrer des échantillons 128kdata. Si vous définissez la fréquence d'échantillonnage à 100MHz, cela signifie que le LA va capturer le signal de sondage et d'enregistrer les échantillons dans la mémoire à 128 kbits 10ns intervalles. A ce taux d'échantillonnage, le LA peut enregistrer environ 1.31ms de données ($= 128k * 10ns = 131072 * 10ns$). Par conséquent, lorsque vous déplacez le curseur de déclenchement à l'avant de la mémoire, le Los Angeles sera d'enregistrer des données 1.31ms après le déclenchement. Si le curseur de déclenchement est déplacé vers le milieu de la mémoire, le Los Angeles sera de recueillir des données 655us avant le point de déclenchement et le solde de données 655us après le point de déclenchement. Ainsi, en déplaçant le curseur de déclenchement à différents points le long de la LA-mémoire, le rapport des données capturées avant et après le déclenchement peut être réglé. Cependant, parfois, les données avant le déclenchement peut ne pas apparaître comme prévu. Ceci est affecté par le réglage de pré-déclenchement. Par exemple: Cet exemple suppose ce qui suit: handicapés de la fonction de pré-déclenchement, le curseur de déclenchement de LA, avec une mémoire 128kbits profondeur, déplacé vers le milieu de mémoire et la fréquence d'échantillonnage réglée sur 100 MHz. Le LA peut capturer 655us données avant et après l'événement déclencheur. Si la condition de déclenchement se produit plus de 655us après le début de saisie des données, 655us de pré-déclenchement données

seront affichées. Toutefois, si la condition de déclenchement se produit moins de 655us après la capture de données commence, par exemple 50us, 50us seulement de pré-déclenchement données seront affichées. Le 605us précédant de données sera affiché un état logique 0, pas le DUT réelle (dispositif sous test) des données. Pour éviter cela, activez la fonction Pré-Trigger pour forcer le Los Angeles pour remplir la mémoire Pr-Trigger. La fonction de pré-déclenchement désactive le circuit de déclenchement jusqu'à ce que les données capturées a rempli la mémoire de pré-déclenchement. Les affichées pré-déclenchement de données affiche les données réelles DUT, mais peut aussi inclure des événements déclencheurs. Cette approche peut être souhaitable, en fonction des données que vous souhaitez capturer.

Il y a plusieurs autres façons de visualiser les données de pré-déclenchement. Nous allons utiliser l'exemple précédent de discuter de ces. Tout d'abord, [si le LA ne reçoit pas un signal de déclenchement jusqu'à ce que la mémoire de pré-déclenchement est remplie (655us), puis la mémoire de pré-déclenchement ne sera valide.

Deuxième solution consiste à attribuer une condition de déclenchement plus discriminante qui permettra d'éviter ou de réduire la fréquence de l'événement déclencheur. Troisièmement, vous pouvez régler le PASS LE COMTE de retarder le point de déclenchement. Il est un bon moyen pour faire face à un signal de déclenchement en continu. Par exemple, si un événement déclencheur se produit chaque 50us, et la valeur COUNT de passage est fixée à 14, les 14 premiers événements de déclenchement sera ignoré. Cela permettra 700US (14x50us) de temps pour remplir la mémoire de pré-déclenchement.

I .3.5. Relation entre LA-Interface PC et la mémoire :

En règle générale, un instrument basé sur PC a besoin d'une interface pour se connecter avec le PC tel qu'ISA, PCI, port parallèle et port USB. Cependant, ces interfaces ne peuvent pas transférer des données en continu dans le système d'exploitation Windows. Ainsi, la mémoire aigüe LA est transféré à l'ordinateur après l'aigu LA a terminé le processus d'acquisition de données. Le Los Angeles sur PC a sa propre vitesse élevée LA-mémoire. Cette méthode assure que la vitesse de l'interface PC n'affecte pas l'intégrité des données saisies. La vitesse de l'interface PC aura un effet sur le temps nécessaire pour

transférer les LA-mémoire le contenu sur le PC. Le plus de mémoire de là LA a aiguë, plus l'effet. Nous vous recommandons d'utiliser une interface PC à haute vitesse si la aiguë LA que vous allez utiliser à l'option de mémoire accrue.

I.4. Utilisation :

a. Cours de mathématiques et des sciences: Les enseignants peuvent utiliser l'Analyseur logique pour faciliter la tâche difficile de cultiver la résolution de problèmes et compétences analytiques de leurs élèves (voir ci-dessus).

b. Sciences sociales: Par exemple en économie de l'analyseur logique peut être utilisé pour expliquer les corrélations entre les prix que nous payons, et des facteurs comme la population, le revenu, impôts, etc.

c. En cours de droit: l'analyseur logique, peut être utilisé pour organiser le matériel écrasant dans une structure logique dans les zones applicables. Par exemple, la validité d'un contrat dépend de la validité de l'offre, l'acceptation et l'examen (+ lien), et de la force des moyens de défense applicables (- relation).

I.5. Avantage :

- Possibilité de voir beaucoup de signaux en même temps (diagramme).
- Selon vitesse d'acquisition, on peut échantillonner sur beaucoup de points.

I.6. Différence entre PC Based et stand alone:

Il existe deux types de l'analyseur logique et la différence entre eux est également dans le tableau suivant : [3]

Pc Basé	Autonome
Besoin d'être connecté à l'ordinateur (Mémoire de partager et CPU)	Pas besoin d'être connecté à l'ordinateur
Travailler sous système Windows, et non pas pratique pour tout ingénieur débogage.	Travailler autonome, pratique pour ingénieur
pas de mise à niveau	Mise à jour du

faible précision	Haute précision
Des prix plus bas (unité principale seulement)	Prix plus élevé(Inclus CPU, mémoire, la sonde Pod ..)
Impossible d'afficher résultat du test immédiatement.	Montrer résultat du test immédiatement. (3 ~ 5 fois plus rapide que sur PC LA)
Seule une marque quelques-uns offrent pépin détection	détection de Glitch

Tableau I .1. Différence entre deux types d'analyseur logique.

I .7.Conclusion:

L'analyseur logique est indispensable en électronique digitale. Il permet de visualiser plusieurs canaux en même temps. Les deux caractéristiques principales de cet appareil est la fréquence de travail et le nombre de canaux disponibles. Il peut être autonome ou connecté au PC.

Chapitre II

Le Microcontrôleur 16F877