

Université Mohamed Khider – Biskra.
Faculté des Sciences et de la Technologie.
Département: Génie électrique
Réf:



جامعة محمد خيضر بسكرة
كلية العلوم و التكنولوجيا
قسم الهندسة الكهربائية
المرجع:

Thèse présentée en vue de l'obtention
du diplôme de

Doctorat en Science

Spécialité ou option: **Electronique**

Conception d'un amplificateur faible bruit LNA à base d'un transistor à effet de champ à hétérojonction pHEMT

Présentée par

Hamaizia Zahra

Soutenue publiquement le 17 Février 2011

Devant le jury composé de:

| | | |
|------------------------|--------------------------------------|------------|
| Dr Dehimi Lakhdar | Professeur à l'Université de Biskra | Président |
| Dr Sengouga Nouredine | Professeur à l'Université de Biskra | Rapporteur |
| Dr Saidane Abdelkader | Professeur à l' ENSET d'Oran | Examineur |
| Dr Ghaffour Khireddine | Professeur à l'Université de Tlemcen | Examineur |
| Dr Chalabi Djilali | M.C.A à l'ENSET d'Oran | Examineur |
| Dr Sbaa Salim | M.C.A à l'Université de Biskra | Examineur |

*A ma mère
A mon cher mari
A mes deux chères sœurs
A mes frères*

REMERCIEMENTS

Les travaux de recherche présentés dans ce manuscrit ont été effectués au sein de l'équipe «Modélisation, Simulation et caractérisation des dispositifs et circuits à semi-conducteurs (MOSFET, MESFET, HEMT, LNA...)» du Laboratoire de matériaux semi-conducteurs et métalliques (LMSM) à l'université de Biskra.

Je tiens à remercier Monsieur **Nouredine. Sengouga** Professeur à l'Université Biskra pour avoir encadré ces travaux de recherche et pour la confiance qu'il m'a témoignée tout au long de notre collaboration.

Je remercie Monsieur **Lakhdar. Dehimi** Professeur à l'Université de Biskra d'avoir accepté la présidence de ce jury,

J'adresse mes remerciements à Messieurs : **Abdelkader. Saidane** Professeur à l'ENSET d'Oran, **Kireddine. Ghaffour** Professeur à l'Université de Tlemcen, **Djilali. Chalabi**, Maître de conférence à l'ENSET d'Oran, et **Salim. Sbaa** Maître de conférence à l'Université de Biskra d'avoir accepté d'examiner ce mémoire et de participer à ce jury.

J'exprime mes sincères remerciements et ma reconnaissance à Monsieur **Mustapha. Yagoub** Professeur à l'université d'Ottawa –Canada– pour les précieux conseils et pour la disponibilité dont il a fait preuve tout au long de ce travail. Tout ce temps m'a permis de profiter de ses qualités scientifiques indéniables, Il n'a pas cessé de me répondre à l'ensemble de mes questions avec grand plaisir ; mais surtout, de toutes ses qualités humaines, durant mon stage dans son laboratoire de radiofréquence et micro-onde.

Je tiens à remercier le groupe du laboratoire des matériaux semi-conducteurs et composants microélectronique et nano structure de l'université de Manchester pour leur collaboration: spécialement le Professeur **Mohamed. Missous** et le Docteur **Boumedienne. Boudjelida** qui ont mis à notre disposition un panel de caractérisation des différents transistors.

Je remercie Monsieur **Amara. Amara** Professeur à l'institut supérieur d'électronique de Paris pour m'avoir invité au laboratoire de micro-électronique et d'avoir me donner l'occasion de profiter des ses compétences et de travailler avec l'équipe de recherche System for Telecom and Radiocom (STAR)

Pour finir, je tiens à remercier ma famille qui m'a encouragée au cours de cette thèse et sans qui je n'aurai jamais pu arriver jusque là. Je leur dédis naturellement ces travaux.

RÉSUMÉ

Au cours des ces dernières années, un progrès a été réalisé avec succès dans le domaine de la conception et la mise en œuvre des circuits MMIC employant des semi-conducteurs composés comme GaAs et InP . Une des applications les plus excitantes de cette technologie est le Square Kilometer Array (SKA) radiotélescope. L'objectif principal de ce travail est la conception d'un MMIC LNA large bande dans la bande L (0.4-2 GHz). Le facteur de bruit doit être le plus bas possible et le gain élevé et plat dans la bande d'intérêt. Les paramètres du modèle linéaire petit signal et du modèle non linéaire large signal ont été extraits pour plusieurs transistors à partir des mesures expérimentales. La conception de deux amplificateurs à faible bruit basés sur des transistors InP-pHEMT de 1 μm de longueur de la grille utilisant deux topologies. La première est un circuit à cellule cascode avec un gain maximum de 15 dB et un facteur de bruit de 0.61dB, alors que la seconde est un amplificateur double étages cascades avec 33 dB de gain et 0.63 dB de facteur de bruit. Les deux amplificateurs cascode et double étage montrent un point de compression à 1 dB de -13 dBm et 2 dBm respectivement et un point de d'interception d'entrée d'ordre 3 IIP3 de -20 dBm et -23 dBm, respectivement.

Mots-Clés: Amplificateur HEMT; Modélisation ; microonde; circuit électronique analogique

ABSTRACT

In the last few years, a successful progress has been achieved in the field of designing and implementing MMICs employing compound semiconductors. One of the most exciting applications of this technology is the Square Kilometer Array (SKA) radio telescope. The main objective of this work is the design of an MMIC InP-pHEMT broadband LNA in the L-band (0.4-2 GHz) with the lowest possible noise figure and as flat gain response as possible.

Accurate linear small-signal and nonlinear large-signal models have been extracted for our fabricated high breakdown 1 μm InGaAs-InAlAs-InP pHEMT based on practical on-wafer device measurements. In this work, we discuss the design of two low noise amplifiers (LNA) based on 1 μm gate-length pHEMT InP transistors using two topologies. Designed for radio astronomy applications, the first is a cascode circuit with a maximum gain of 15 dB and noise figure of 0.61 dB, while the second is a 2-stage cascaded amplifier with 33dB of gain and 0.63 dB of noise figure. The two amplifiers exhibit an output -1 dB compression point of -13 dBm and 2 dBm respectively, and a third order input intercept point of -20 dBm and -23 dBm, respectively.

Keywords: HEMT amplifier; Modeling of microwave; Analog electronic circuits

ملخص

خلال السنوات الأخيرة ، تم إحراز تقدم باهر في مجال تصميم وتنفيذ الدوائر المتكاملة المتجانسة ذات الترددات الميكرونية (*MMIC*) باستخدام أشباه الموصلات المركبة مثل (*InP* و *GaAs*). أحد التطبيقات الأكثر إثارة لهذه التكنولوجيا هو الراديو تلسكوب اللاسلكي (مصفوفة كيلومتر مربع *SKA*) والهدف الرئيسي من هذا العمل هو تصميم دائرة *MMIC* المتمثلة في مضخم أو مستقبل خافض الضجيج ذو النطاق العريض (4,0-2 غيغاهرتز). عامل الضوضاء لهذا المضخم يجب أن يكون منخفض جدا مع تحقيق كسب عالي و ثابت في كل مجال الاهتمام أو العمل. تم استخراج وسائط النموذج الخطي للإشارة الضعيفة و النموذج الغير خطي للإشارات الكبيرة لعدة ترانزستورات بواسطة القياسات التجريبية.

يقدم في هذا العمل تصميم اثنين من مكبرات خافض الضجيج باستعمال ترانزستور *pHEMT* طول بوابته 1 ميكرومتر. الدائرة الأولى هي عبارة عن تركيبية منبع مشترك و بوابة مشتركة على التسلسل (*cascode*) أعطت كسب يقدر قيمته القصوى بـ 15 ديسيبل و قيمة عامل الضجيج 0.61 ديسيبل في حين أن الثاني هو دائرة متكونة من طابقين منبع مشترك على التوالي كسبه 33 ديسيبل و 0.63 ديسيبل. هذين المضخمين اللذين تم تصميمهما أظهرتا نقطة الضغط لـ 1 ديسيبل -13 *dBm* بالنسبة الدارة *cascode* و 2 *dBm* للثاني. و نقطة اعتراض المدخل (*IIP3*) -30 *dBm* و -23 *dBm* على التوالي.

الكلمات الرئيسية:

مضخم ,النمذجة, الميكرونية , دارات إلكترونية تماثلية.

SOMMAIRE

| | |
|---|-----|
| Remerciements..... | I |
| Résumé..... | II |
| Sommaire..... | IV |
| Liste des figures..... | VII |
| Liste des tableaux..... | XI |
| Liste des abréviations et symboles..... | XII |

| | |
|------------------------------------|---|
| Introduction générale | 1 |
|------------------------------------|---|

Chapitre 1 Les transistors à effet de champ à hétérojonction

| | |
|--|----|
| 1.1 Introduction..... | 4 |
| 1.2 Les matériaux III-IV..... | 4 |
| 1.3 Présentation des transistors hétérojonctions..... | 5 |
| 1.3.1 Principe de l'hétérojonction..... | 5 |
| 1.3.2 Les transistors HEMT..... | 6 |
| 1.3.3 Le HEMT pseudomorphique (pHEMT)..... | 7 |
| 1.4 Les bruits dans les transistors à effet de champs..... | 8 |
| 1.4.2 Principales sources physiques du bruit..... | 9 |
| 1.4.2 Origine du bruit dans les composants..... | 10 |
| 1.5. Les performances des transistors hyperfréquences..... | 12 |
| 1.5.1 Gains hyperfréquences des transistors..... | 12 |
| 1.5.2 Fréquence de transition..... | 13 |
| 1.5.3 La fréquence maximale d'oscillation..... | 13 |
| 1.6 Récapitulation..... | 14 |
| 1.7. Bibliographie..... | 15 |

Chapitre 2 Modélisation des transistors HEMT pour la CAO

| | |
|---|----|
| 2.1 Introduction..... | 16 |
| 2.2 Le But de la modélisation..... | 16 |
| 2.3 Types de modélisation..... | 17 |
| 2.3.1 La modélisation physique..... | 17 |
| 2.3.2 La modélisation phénoménologique..... | 18 |
| 2.3.3 La modélisation à base de données expérimentales..... | 18 |

| | | |
|-------|---|----|
| 2.4 | Modélisation des transistors HEMT..... | 19 |
| 2.4.1 | Modèle électrique petit signal du transistor HEMT..... | 19 |
| 2.4.2 | Modèle électrique grand signal du transistor PHEM..... | 21 |
| 2.5 | Modélisation des transistors pHEMT pour la conception..... | 23 |
| 2.5.1 | Contexte..... | 23 |
| 2.5.2 | Caractérisation des transistors | 23 |
| 2.5.3 | Modélisation électrique linéaire des transistors HEMT et pHEMT de ces travaux..... | 24 |
| 2.5.4 | Principe de la méthode d'extraction directe..... | 25 |
| 2.5.5 | Extraction des paramètres du modèle petit signal pour les transistors utilisés dans ce Travail..... | 29 |
| 2.6 | Caractérisation du facteur de bruit..... | 29 |
| 2.7 | Modélisation non linéaire des transistors HEMT et PHEMT de ces travaux.... | 34 |
| 2.7.1 | Théorie de base du modèle large signal..... | 34 |
| 2.7.2 | Technique de modélisation large signal utilisé..... | 35 |
| 2.7.3 | Extraction du modèle non linéaire pour nos transistors | 36 |
| 2.8 | Conclusion..... | 37 |
| 2.9 | Bibliographie..... | 37 |

Chapitre 3 Méthodologie de conception des circuits MMICs

| | | |
|-------|---|----|
| 3.1 | Introduction..... | 40 |
| 3.2 | Les circuits intégrés monolithique micro-ondes MMICs..... | 40 |
| 3.2.1 | Les avantages des MMICs..... | 41 |
| 3.3 | Méthodologie de conception des MMICs..... | 41 |
| 3.4 | Conception de l'amplificateur faible bruit LNA..... | 42 |
| 3.4.1 | Définition..... | 42 |
| 3.4.2 | Méthodes de conception..... | 43 |
| 3.5 | Les performances des LNAs..... | 51 |
| 3.5.1 | Le gain..... | 52 |
| 3.5.2 | Le facteur de bruit..... | 53 |
| 3.5.3 | La linéarité des amplificateurs..... | 56 |
| 3.6 | Différentes architectures de LNAs..... | 59 |
| 3.6.1 | Le montage source commune..... | 59 |
| 3.6.2 | Le montage grille commune..... | 61 |
| 3.6.3 | Le montage drain commun..... | 63 |

| | |
|------------------------------------|----|
| 3.6.4 Le montage cascode..... | 64 |
| 3.6.5 Le montage cascadi..... | 67 |
| 3.6.6 Le montage diffirentiel..... | 68 |
| 3.7 R6capitulation..... | 69 |
| 3.8 Bibliographie..... | 70 |

Chapitre 4

Conception et simulation d'un amplificateur faible bruit large bande pour application en radioastronomie

| | |
|--|------------|
| 4.1 Introduction..... | 73 |
| 4.2 Etat d'art des amplificateurs LNA en radioastronomie... .. | 74 |
| 4.3 Description du transistor utilis6 pHEMT XMBE-109-A043-2x400µm..... | 74 |
| 4.3.1 La structure 6pitaxiale du pHEMT A-043-800µM..... | 75 |
| 4.3.2 Mod6lisation du transistor..... | 76 |
| 4.4 Sp6cification des circuits RF..... | 79 |
| 4.5 Conception et description des circuits amplificateurs 6 faible bruit..... | 80 |
| 4.5.1 L'amplificateur 6 faible bruit mont6 en source commune cascode 6 d6g6n6rescence inductive..... | 82 |
| 4.5.2 L'amplificateur 6 faible bruit source commune 6 deux 6tages mont6 en cascade 6 d6g6n6rescence inductive..... | 83 |
| 4.6 Simulation et r6sultats des amplificateurs LNAs..... | 84 |
| 4.6.1 L'amplificateur 6 faible bruit 6 structure cascode..... | 85 |
| 4.6.2 L'amplificateur 6 faible bruit 6 structure double 6tage cascadi6e..... | 88 |
| 4.7 G6n6ration des Layouts..... | 90 |
| 4.7.1 Rappel sur la technologie micro-ruban..... | 91 |
| 4.7.2 Etape de g6n6ration de dessin masque..... | 93 |
| 4.7.3 L'6tude pratique de l'amplificateur LNA..... | 93 |
| 4.7.4 R6sultats de simulation du LNA 6 composant distribu6e..... | 94 |
| 4.7.5 R6capitulation des r6sultats..... | 103 |
| 4.7.6 Interpr6tation des r6sultats..... | 103 |
| 4.7.7 Le Dessin masque ou le circuit imprim6..... | 104 |
| 4.8 Conclusion..... | 105 |
| 4.9 Bibliographie..... | 106 |
| Conclusion g6n6rale..... | 108 |
| Annexes..... | 111 |
| Liste des publications et communications personnelles..... | 135 |

Liste des Figures

| | |
|--|----|
| Figure 1.1: Diagramme de bandes d'une hétérojonction GaAs-Al _x Ga _{1-x} As : (a) avant contact et (b) : après contact | 5 |
| Figure 1.2 : Structure d'un HEMT AlGaAs/GaAs et son diagramme de bande de conduction..... | 7 |
| Figure 1.3 : Vue en coupe et structure de bande d'un PHEMT..... | 8 |
| Figure 1.4 : Composant excité par un générateur d'impédance Z_{gen} et chargé sur une impédance Z_{ch} | 13 |
| Figure 2.1 : Modèle électrique petit signal d'un HEMT..... | 20 |
| Figure 2.2 : Origine physique des éléments du modèle électrique petit signal d'un HEMT.... | 20 |
| Figure 2.3 : Schéma équivalent fort signal d'un HEMT..... | 22 |
| Figure 2.4 : Photographie du système de mesure..... | 24 |
| Figure 2.5 : Schéma équivalent petit signal à $V_{ds} = 0$ V et grille fortement en inverse ($V_{gs} \ll V_p$)..... | 26 |
| Figure 2.6 : Modélisation du transistor HEMT, pour les fréquences inférieures à quelques GHz en polarisation froide..... | 27 |
| Figure 2.7 : Détermination de la matrice admittance intrinsèque du transistor HEMT..... | 30 |
| Figure 2.8 : Comparaison entre le modèle linéaire calculé et le modèle mesuré du transistor pHEMT InP VMBE-1841 InGaAs-InAlAs-InP, (a) VMBE-1841-A132-1x200 μ m; (b) VMBE-1841-B132-1x160 μ m..... | 32 |
| Figure 2.9 : Comparaison entre le modèle linéaire calculé et le modèle mesuré du le transistor pHEMT GaAS VMBE-1891 InGaAs-AlGaAs-GaAs 1x200 μ m..... | 32 |
| Figure 2.10 : Comparaison entre le modèle linéaire calculé et le modèle mesuré du le transistor HEMT GaAs VMBE-1864 InGaAs-AlGaAs-GaAs 1x200 μ m..... | 33 |
| Figure 2.11 : Comparaison entre les caractéristique RF linéaire calculés et ceux mesurés des transistors pHEMT InGaAs-AlGaAs-InP : (a) XMBE-A043-4x200 μ m; (b) XMBE-D073-4x50 μ m..... | 33 |
| Figure 2.12: Facteur de bruit minimal NF_{min} prédit ar la formule de Fukui..... | 34 |
| Figure 2.13: Schéma équivalent électrique non linéaire du modèle Agilent EEHEMT..... | 35 |
| Figure 2.14: Comparaison entre les caractéristiques DC calculées et celles mesurées des transistors pHEMT InGaAs-AlGaAs-InP: (a) XMBE-A043-4x200 μ m ; (b) XMBE-D073-4x50 μ m..... | 36 |

| | |
|--|----|
| Figure 2.15 : Comparaison entre les caractéristiques RF non linéaires calculées et celles mesurées des transistors pHEMT InGaAs-AlGaAs-InP : (a) XMBE-A043-4x200 μ m; (b) XMBE-D073-4x50 μ m..... | 37 |
| Figure 3.1 : Organigramme de conception d'un circuit intégré microonde..... | 43 |
| Figure 3.2 : Méthode de conception d'un amplificateur LNA..... | 44 |
| Figure 3.3 : Influence du choix des conditions de polarisation (V_{DS} , I_D) sur le facteur de Bruit..... | 45 |
| Figure 3.4 : Circuit de polarisation d'un transistor en HF..... | 46 |
| Figure 3.5: Adaptation d'impédance..... | 49 |
| Figure 3.6 : Adaptation d'impédance d'un bloc dans une chaîne..... | 49 |
| Figure 3.7 : Adaptation d'impédance d'un amplificateur à transistor..... | 50 |
| Figure 3.8 : Réseau à deux port présenté avec les coefficient de réflexion..... | 52 |
| Figure 3.9 : Représentation d'un quadripôle bruyant sous la forme d'une admittance..... | 54 |
| Figure 3.10 : Représentation d'un quadripôle bruyant sous la forme d'une admittance avec les sources de bruits sont en entrée..... | 54 |
| Figure 3.11 : Définition du point de compression à -1dB..... | 57 |
| Figure 3.12 : Spectre du signal en entrée et en sortie d'un amplificateur non linéaire après apparition de la compression..... | 58 |
| Figure 3.13 : Définition graphique d'intermodulation d'ordre 3..... | 59 |
| Figure 3.14 : Montage source commune..... | 60 |
| Figure 3.15 : Schéma équivalent petit signal simplifié du montage source commune d'un HEMT..... | 60 |
| Figure 3.16 : Montage en grille commune..... | 61 |
| Figure 3.17 : Schéma équivalent simplifié du montage grille commune..... | 62 |
| Figure 3.18 : Montage drain commun (source suiveuse)..... | 63 |
| Figure 3.19 : Schéma de principe du montage Cascode..... | 64 |
| Figure 3.20 : Le schéma équivalent petit signal simplifié du montage cascode..... | 66 |
| Figure 3.21 : Montage source commune à dégénérescence inductive à deux étages cascades..... | 68 |
| Figure 3.22 : Montage Différentiel classique..... | 69 |
| Figure 4.1 : Structure épitaxiale du transistor pHEMT utilise A-043 2x400 μ m..... | 76 |
| Figure 4.2 : Comparaison entre les caractéristiques DC mesurées et celles simulées du transistor pHEMT A-043-800 μ m Transconductance: (a) Courbes IV (b) Courbes I_D - V_{GS} (c) Transconductance..... | 77 |

| | |
|---|-----|
| Figure 4.3 : Comparaison entre les caractéristiques RF mesurées et simulées du transistor pHEMT A-043-800 μ m utilisé..... | 78 |
| Figure 4.4 : Calcul du facteur de bruit minimal NF _{min} transistor pHEMT A-043-800 μ m du utilisé..... | 79 |
| Figure 4.5 : Caractérisation du bruit du transistor InP pHEMT: (a): résistance du bruit (R_n): Facteur de bruit minimal figure (NF _{min}); (b): L'impédance Optimale pour adaptation de bruit Z_{opt} | 86 |
| Figure 4.6 : Le schéma fonctionnel du LNA..... | 81 |
| Figure 4.7 : L'amplificateur LNA monté en cascade à dégénérescence inductive..... | 82 |
| Figure 4.8 : Amplificateur LNA monté en cascade..... | 84 |
| Figure 4.9: (a) Etude de la stabilité du LNA cascade, (b) Facteur de bruit..... | 86 |
| Figure 4.10: Les performances des amplificateurs LNAs : simulation des paramètres S du montage cascade..... | 87 |
| Figure 4.11 : Le point de compression à 1 dB de la configuration cascade..... | 87 |
| Figure 4.12: Détermination du point IIP3 de l'amplificateur cascade..... | 88 |
| Figure 4.13: (a) Etude de la stabilité du LNA double étages cascades, (b) Facteur de Bruit..... | 89 |
| Figure 4.14: Les performances des amplificateurs LNAs: simulation des paramètres S du montage double étages cascades..... | 89 |
| Figure 4.15 : (a) : Le point de compression à 1 dB, (b) : Détermination du point IIP3 de l'amplificateur LNA double étage cascade..... | 90 |
| Figure 4.16 : Lignes de transmission : (a) technologies microstrip, (b) CPW..... | 92 |
| Figure 4.17 : Structure de la ligne microstrip..... | 92 |
| Figure 4.18 : L'amplificateur LNA cascade complet conçu avec des composants distribués | |
| Figure 4.19: Le substrat en microstrip et ses paramètres caractéristiques..... | 92 |
| Figure 4.20 : L'étage d'entrée de l'amplificateur LNA cascade conçu avec des composants distribués..... | 96 |
| Figure 4.21 : L'étage de sortie de l'amplificateur LNA cascade conçu avec des composants distribués..... | 97 |
| Figure 4.22 : Le circuit d'adaptation de sortie..... | 97 |
| Figure 4.23 : Le circuit de polarisation de drain..... | 98 |
| Figure 4.24 : Les paramètres S de circuit cascade en technologie microstrip 'i' composants idéaux, 'o' : composants réels (utilisation du chanfrein)..... | 99 |
| Figure 4.25 : Le facteur de circuit cascade en technologie microstrip : 'i' composants idéaux, 'o' : composants réels (utilisation du chanfrein)..... | 100 |

| | |
|---|-----|
| Figure 4.26 : Les paramètres S de circuit cascode en technologie microstrip : ‘-’ composants idéaux, ‘o’ : composants réels (utilisation de la jonction Coude)..... | 100 |
| Figure 4.27 : Le facteur de circuit cascode en technologie microstrip : ‘-’ composants idéaux, ‘o’ : composants réels (utilisation de la jonction Coude)..... | 101 |
| Figure 4.28 : Les paramètres S de circuit cascode en technologie microstrip : ‘-’ composants idéaux, ‘o’ : composants réels (utilisation de la jonction en T)..... | 101 |
| Figure 4.29 : Le facteur de circuit cascode en technologie microstrip : ‘-’ composants idéaux, ‘o’ : composants réels (utilisation de la jonction en T)..... | 102 |
| Figure 4.30 : Les paramètres S de circuit cascode en technologie microstrip..... | 102 |
| Figure 4.31 : (a) Le facteur bruit de l’amplificateur LNA cascode en technologie microstrip, (b) Le facteur de stabilité..... | 103 |
| Figure 4.32 : Dessin masque de l’amplificateur LNA cascode complet..... | 104 |
| Figure 4.33 : Le layout du circuit LNA cascode complet | 105 |

Liste des Tableaux

| | |
|--|-----|
| Tableau 2.1 : Extraction des paramètres du modèle linéaire des transistors utilisés..... | 31 |
| Tableau 4.1 : Etat de l'art des LNAs en radioastronomie..... | 75 |
| Tableau 4.2 : Liste de spécifications d'un amplificateur LNA..... | 80 |
| Tableau 4.3 : Les grandeurs en DC du LNA cascode..... | 83 |
| Tableau 4.4 : Les conditions de polarisation du LNA double étages cascades..... | 84 |
| Tableau 4.4 : Résultats obtenus pour les différents montages..... | 103 |

Listes des abréviations et des symboles

| | |
|---|---|
| 2DEG | Two dimensional electron gaz (le gaz bidimensionnel d'électrons) |
| AC | Alternating Curent |
| ADS | le logiciel d'Agilent (Advanced Design System from Agilent) |
| AIAs | l'arséniure d'aluminium |
| AlGaAs | Aliminum gallium arsenid |
| AsGa | arséniure de gallium |
| a₁ | Puissance d'onde électromagnétique transverse incidente au port 1 |
| a₂ | Puissance d'onde électromagnétique transverse incidente au port 2 |
| BiCMOS | Bipolar et CMOS combinés |
| b₁ | Puissance d'onde électromagnétique transverse réfléchie au port 1 |
| b₂ | Puissance d'onde électromagnétique transverse réfléchie au port 2 |
| B_{opt} | La partie imaginaire de Y _{opt} |
| CMS | Composant Monté en Surface |
| CMOS | Complementary Metal oxide Semi-Conductor |
| CPW | Co Planar Wave guide, Ligne coplanaire le guide d'onde coplanaire |
| CAD | Computer Aided Deign |
| CAO | conception assisté par ordinateur |
| C_{gs} , C_{gd} , C_{ds} | Les capacités intrinsèques grille-source grille-drain et drain-source |
| C_{pg} , C_{pd} , | Les capacités parasite ou plot de la grille et du drain |
| DC | Direct Curent (courant continu) |
| dB | L'unité de mesure logarithmique du rapport de deux puissances connues pour exprimer la puissance du son |
| dBc | Mesure le rapport entre un signal et la porteuse sur laquelle il transporte l'information (c: carrier). |
| dBm | Abréviation de dBmW pour le rapport de puissance mesurée référencée à un milliwatt. |
| EE-HEMT | Modèle non linéaire du transistor HEMT. |
| EEsof | Electronic Engineering software d'Agilent. |
| E_n | Source de tension de bruit. |
| E_f | Niveau de Fermi. |
| E_c | Bande de conduction |
| E_v | Bande de valence |
| E_g | Gap d'énergie (bande interdite) |
| ε_r | La constante diélectrique du matériau. |
| F_T | Fréquence de transition pour laquelle le gain H ₂₁ est égal à l'unité . |
| F_{max} | Fréquence maximale d'oscillation pour laquelle le gain en courant U est égal à l'unité. |
| G_m | Transconductance. |
| G_d | La conductance du drain. |
| g_d | La conductance de sortie. |
| G_p | Gain en puissance. |
| G_A | Gain disponible. |
| G_T | Gain transducteur. |

| | |
|--|--|
| GaSb | Antimoniure de gallium. |
| GaN | le nitrure de gallium. |
| G_{max} | Gain maximal. |
| G_{opt} | La partie réelle de Y _{op} . |
| HEMT | High electron mobility transistor. |
| HMIC | Hybrid microwave Integrated Cicuits |
| h | L'épaisseur du substrat. |
| IP3 | Le point d'interception d'ordre 3. |
| IIP₃, OIP₃ | Le point d'interception d'ordre trois en entrée et en sortie respectivement. |
| IMD | La distorsion d'intermodulation. |
| I_n, I_{n1}, I_{n2} | Source de courant de bruit. |
| InP | phosphure d'indium. |
| InAs | l'arséniure d'indium. |
| InGaAs | Indium gallium arsenid. |
| I_{ds} | Courant entre le drain et la source (A). |
| I_{dg} | courant drain-grille. |
| I_{gs} | courant grille-source. |
| IC-CAP | Logiciel de pilotage d'appareils de mesure et de modélisation de composants/circuits Agilent Tecnologies). |
| I* | le complexe conjugué du courant I. |
| K | Facteur de Rollet ou facteur. |
| LNA | Low Noise Amplifier. |
| l_g | longueur de la grille. |
| L_g, L_s, L_d | Les inductances parasites de la grille, de la source et du drain. |
| MBE | Molecular Beam Epitaxy. |
| MESFET | Metal semiconductor field effect transistor. |
| MMICs | Microwave Monolithic Integrated circuits intégrés microondes monolithiques. |
| MLIN | Microtrip line. |
| NF_{min} | Le facteur de bruit minimal. |
| NF | Noise Figure. |
| N_{IN} | Bruit de l'entrée. |
| N_{OUT} | Bruit de la sortie. |
| PHEMT | version pseudomorphique du HEMT. |
| P_{DC} | Puissance dissipée en DC. |
| P_s | Puissance de sortie. |
| P_e | Puissance d'entrée. |
| P_{sinc} | Puissance incidente de sortie. |
| P_L | Puissance absorbée par la charge . |
| P_{inc} | Puissance incidente. |
| P_{avs} | Puissance disponible. |
| P_{ino} | la puissance incidente (absorbée par le composant). |
| qV_{bi} | La différence de niveau de Fermi |
| RF | Les radiofréquences. |
| R_i | La résistance intrinsèque. |

| | |
|-----------------------------------|--|
| R_g, R_s, R_d | Les résistance extrinsèques de la grille, de la source et du drain. |
| R_{gd} | La résistance intrinsèque entre grille-drain. |
| R_n | La résistance équivalente de bruit. |
| Si | Silicium. |
| SMT | Surface Mount Technology. |
| S_{ij} | Paramètres S (Scattering) de répartition d'indice i et j d'un multipôle. |
| SKA | Square Kilometer Array. |
| SE | Le schéma équivalent . |
| S_{IN} | Signal d'entrée. |
| S_{OUT} | Signal de sortie. |
| S_{11} | Le coefficient de réflexion en entrée. |
| S_{12} | Le coefficient de transmission directe. |
| S_{21} | Le coefficient de transmission inverse. |
| S_{22} | Le coefficient de réflexion en sortie. |
| TFC | Thin Film Capacitor (condensateurs à couches minces). |
| TFR | Thin Film resistor (résistances à couches minces). |
| TBH | Le transistor bipolaire à hétérojonction. |
| TEM | Transverse Electro-Magnetic. |
| Γ_{opt} | Le coefficient de réflexion optimal de bruit. |
| t | L'épaisseur du conducteur. |
| Γ_s | Le coefficient de réflexion de la source. |
| τ | Le retard ou temps de transit. |
| Γ_L | Le coefficient de réflexion de la charge. |
| Γ_{in} | Le coefficient de réflexion d'entrée. |
| Γ_{out} | Le coefficient de réflexion d'entrée. |
| V_{gs} | Potentiel entre la grille et la source (V). |
| V_{ds} | Potentiel entre la grille et la source (V). |
| VNA | Vectorial Network Analyser (Analyseur de réseaux vectoriel) . |
| V_{bi} | Potentiel de diffusion de la jonction schotcky |
| V_P | Tension de pincement. |
| V_e | Signal d'entrée. |
| V_s | Signal de sortie. |
| W_g | Largeur de la grille. |
| w | La largeur du conducteur. |
| WLAN | Wileress Local Area Network (L réseaux internet local sans fil). |
| Y | Une admittance. |
| Y_{int} | La matrice intrinsèque. |
| Y_{op} | L'impédance optimale de bruit. |
| Y_{ij} | Paramètres admittance d'indice i et j d'un multipôle. |
| Z_e | L'impédance d'entrée. |
| Z_c | Impédance caractéristique. |
| Z_{ij} | Paramètres impédance d'indice i et j d'un multipôle. |
| Z_s | L'impédance de la source. |
| Z_L | L'impédance de la charge. |

$$\Delta E_c = E_{c1} - E_{c2}$$

$$\Delta E_v = E_{v1} - E_{v2}$$

$$\Delta E_g = E_{g1} - E_{g2}$$

$$\Phi_i = \Phi_{\text{vide}} - E_{fi}$$

$$\chi_i = \Phi_{\text{vide}} - E_{fi}$$

La discontinuité des bandes de conduction.

La discontinuité des bandes de valence.

La discontinuité des gaps d'énergie.

Le travail de sortie avec $i=1,2$

est l'affinité électronique du matériau avec $i=1,2$

Introduction générale

Les avancées technologiques des circuits intégrés micro-ondes sont la clé pour ouvrir et exploiter pleinement de nouvelles opportunités de marché, comme on a pu le constater cette dernière décennie avec l'explosion des télécommunications mobiles: commencer par le téléphone portable, les réseaux internet sans fil (Wireless Local Area Network : WLAN), les systèmes bluetooth, les radars anticollision de véhicules, radio télescope, jusqu'à la souris et le clavier de l'ordinateur sans fil [1].

Toutes ces applications font partie intégrale du domaine des radiofréquences (RF), et elles se sont développées grâce au progrès des transistors et de leurs performances.

Dans ce domaine des RF ou des hyperfréquences, les composants III-V à base d'arséniure de gallium (AsGa) ou de phosphure d'indium (InP) sont utilisés de préférence car ils présenteront de meilleures performances. Il a ainsi été montré des fréquences de coupure du gain en courant de 562 GHz et des fréquences maximales d'oscillation proches de 330 GHz pour des transistors à forte mobilité électronique (high electron mobility transistor HEMTs). Les circuits intégrés micro-ondes sont en effet au cœur d'un large éventail de systèmes, pour les télécommunications, les applications militaires, ou encore dans des secteurs tels que l'aérospatial ou l'automobile. Et ce sont bien les avancées technologiques dans la fabrication des composants semi-conducteurs pour la montée en puissance, la montée en fréquence, ou le faible bruit, qui vont permettre le développement de nouveaux systèmes [2].

Le développement de systèmes de communications, civiles et militaires, se traduit par leur montée en puissance et en fréquence. Cette évolution apparaît pour les concepteurs comme une nouvelle contrainte sur les étages d'amplification et donc plus particulièrement sur les transistors qui les constitueront.

Les exigences d'intégration, de coût et de fiabilité des circuits électroniques microondes ont conduit l'industrie des technologies hyperfréquences à mettre en avant l'utilisation de circuits intégrés microondes monolithiques (MMICs) réalisés sur AsGa et le InP. Trois propriétés essentielles ont fait de l'AsGa ou l'InP le matériau de choix pour la conception de circuits MMICs: une forte mobilité électronique, un substrat semi-isolant de très grande résistivité et la possibilité de réaliser des hétérojonctions par épitaxie. Ces atouts ont favorisé l'émergence de nouvelles filières de composants, le transistor à effet de champ à hétérojonction (HEMT) et le transistor bipolaire à hétérojonction (TBH). Ces composants, actuellement à la base des MMICs, permettent des applications à des fréquences très élevées.

De par sa grande maturité technologique, le HEMT domine encore aujourd'hui le marché des hyperfréquences, notamment pour la conception d'amplificateurs faible bruit et large bande.

Grâce au développement du pHEMT, version pseudomorphique du HEMT, l'amplification de puissance est également un domaine où des performances remarquables ont été obtenues, en particulier aux fréquences millimétriques.

Lorsqu'une technologie a atteint un seuil de maturité suffisant pour pouvoir être utilisée pour la production de puces en grande quantité, il s'agit d'exploiter cette technologie au maximum de ses possibilités. Cela passe alors par la recherche d'architectures de circuit spécifiques, et la mise en oeuvre de nouvelles méthodes d'analyse et de conception. C'est donc sur le concepteur de circuit que se reportent les exigences techniques et économiques pour ces circuits. En même temps, les techniques et les outils utilisés par le concepteur des circuits n'ont cessé de s'améliorer, rendant la conception des circuits toujours plus réaliste, et plus proche de la réalité physique du circuit.

Le concepteur de circuit doit donc à la fois faire preuve d'adaptabilité, afin de pouvoir suivre les évolutions technologiques, et avoir une démarche de conception appropriée et structurée, intégrant plusieurs niveaux de connaissance, des architectures de circuit à la maîtrise des outils modernes de conception assisté par ordinateur (CAO), en passant par les méthodologies d'analyse et de conception.

Ce travail présentera une contribution à la modélisation linéaire et non linéaire des transistors à effet de champ à hétérojonction de type HEMT ou pHEMT, qui constitueront l'un des éléments actifs de base d'un MMIC, et à la conception d'un amplificateur faible bruit large bande à base de ce transistor pour les applications en radio-astronomie.

Le plan de cette thèse est composé de quatre parties:

Dans le premier chapitre on étudie les transistors HEMT et pHEMT leur fonctionnement et leur structure; ainsi les différentes sources de bruit et ses origines dans les composants à semi-conducteur.

On présente dans le deuxième chapitre la modélisation linéaire et non linéaire des composants actifs HEMT et PHEMT utilisés pour la conception de l'amplificateur à faible bruit LNA (Low Noise Amplifier).

Le troisième chapitre focalisera sur la méthodologie de conception des circuits intégrés microondes monolithiques et leurs applications. Les avantages et les inconvénients de MMICs, comparés aux circuits intégrés micro-ondes hybrides seront également discutés. Les différentes architectures des amplificateurs à faible bruit sont exposées.

Dans le quatrième chapitre, on abordera la conception des amplificateurs faible bruit large bande. On exposera le travail de conception de deux amplificateurs LNAs l'un à cellules cascode et l'autre à structure double étages cascades dans la bande 0.4-2 GHz basé sur une topologie de transistor pHEMT à 4 doigts de 200 μ m.

Enfin, la thèse se terminera par une conclusion générale et les perspectives des travaux à réaliser.

Bibliographie

- [1] S. Dellier, "Contribution à la conception des circuits microondes", *Thèse de Doctorat Université de Limoges*, Juillet 2005.
- [2] G. Six, "Optimisation d'une technologie 3D pour la réalisation de circuit intégrés millimétriques sur substrat de silicium", *Thèse de Doctorat, Université de Lille*, 2004.

Chapitre 1 Les transistors à effet de champ à hétérojonction

1.1 Introduction

La plupart des circuits microondes sont réalisés avec des composés III-V tels que l'arséniure de gallium (AsGa), le phosphure d'indium (InP). Cette prédominance des composés III-V est due aux bonnes performances des éléments actifs ainsi qu'aux faibles pertes que présentent les structures de transmission sur ces substrats.

Le comportement des composants électroniques à semi-conducteurs est largement conditionné par la nature des interfaces ou jonctions qui séparent les différentes parties constitutives (métalliques, diélectriques ou semi-conductrices) et par la manière dont les porteurs, électrons ou trous, longent ou traversent ces interfaces.

Les progrès réalisés dans le domaine de l'élaboration de matériaux, de technologie de fabrication et de physique des structures semi-conductrices ont favorisé l'émergence au cours des années 80 d'une nouvelle génération de transistors à effet de champ, dits à hétérojonction.

1.2 Les matériaux III-V

Les matériaux III-V sont constitués des éléments des colonnes IIIb et Vb de la classification périodique des éléments. L'étude de leur structure de bandes montre toutefois, que les éléments les plus légers donnent des composés dont la bande interdite est large et indirecte, et dans laquelle la masse effective des électrons est élevée ce qui diminue leur mobilité. Des matériaux, comme les composés contenant du bore, ou de l'aluminium, sont ainsi moins intéressants pour l'électronique rapide.

Des semi-conducteurs binaires comme l'arséniure de gallium (GaAs), l'antimoniure de gallium (GaSb), le phosphure d'indium (InP), l'arséniure d'indium (InAs), l'arséniure d'aluminium (AlAs), mais également les alliages ternaires et quaternaires qui en découlent, présentent des propriétés très intéressantes pour les applications hyperfréquences. Ces alliages ternaires et quaternaires sont réalisés par substitution partielle de l'un des éléments par un élément de la même colonne. On sait, par exemple, obtenir des alliages du type $Ga_xAl_{1-x}As$ ou un type $Ga_xIn_{1-x}As$.

Les matériaux III-V offrent donc une grande variété de compositions permettant de modifier leurs propriétés électroniques.

1.3 Les transistors à hétérojonction

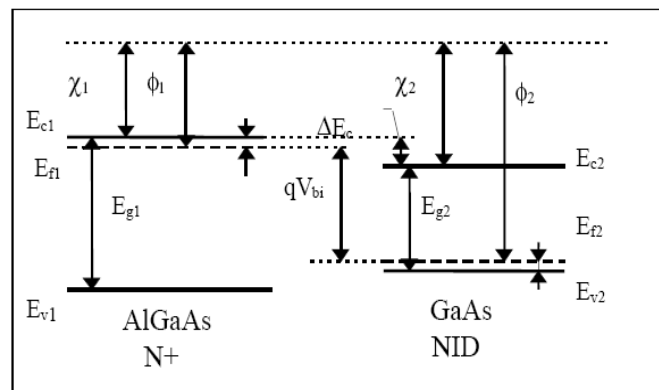
Le fonctionnement de ces composants découle directement des propriétés de l'hétérojonction dans laquelle est exploitée la modulation du dopage.

1.3.1 Principe de l'hétérojonction

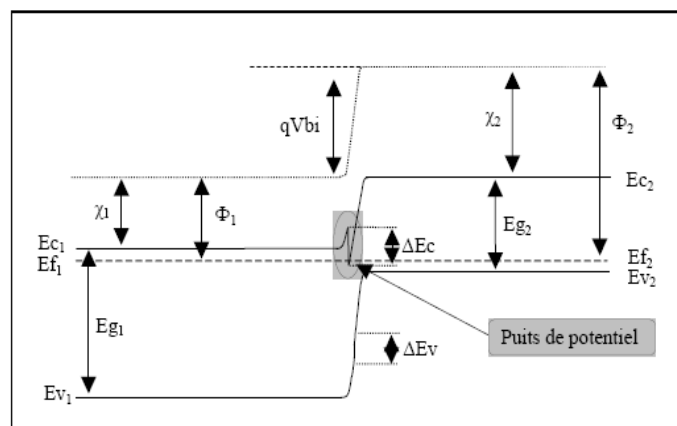
L'hétérojonction constituée du matériau grand gap (dopé N) $\text{Al}_x\text{Ga}_{1-x}\text{As}$ et du matériau faible gap (non dopé) GaAs est la plus étudiée du fait de la relative facilité de réalisation des couches épitaxiales [1].

Le principe du HEMT est basé sur l'hétérojonction entre semi-conducteurs à grand et petit gap : Dans sa forme originelle, on a fait croître une couche non intentionnellement dopée (notée NID) de GaAs suivie d'une couche de $\text{Al}_x\text{Ga}_{1-x}\text{As}$ fortement dopée N^+ .

La Figure 1.1 représente la structure de bande de l'hétérojonction, avant et après contact.



(a)



(b)

Figure 1.1 : Diagramme de bandes d'une hétérojonction GaAs- $\text{Al}_x\text{Ga}_{1-x}\text{As}$: (a) avant contact et (b): après contact.

Après contact et à équilibre thermodynamique, les niveaux de Fermi des deux semi-conducteurs s'alignent. Il en résulte des discontinuités des bandes de conduction et de valence. Le puits quantique ainsi réalisé à l'interface de l'hétérojonction GaAs-Al_xGa_{1-x}As N⁺ est de forme triangulaire. La bande de conduction du matériau à plus faible gap va se courber et sera traversée par le niveau de Fermi E_f de la structure. De ce niveau va dépendre la concentration des porteurs dans le puits quantique qui regroupe toutes les charges libres responsables de la conduction dans le GaAs qui constitueront le canal. La densité des porteurs dans le canal va dépendre aussi de la différence de gap entre les deux matériaux et du dopage de l'Al_xGa_{1-x}As N⁺. Ainsi, les ions donneurs qui sont principalement dans la couche barrière Al_xGa_{1-x}As sont spatialement isolés des électrons principalement confinés dans le puits quantique. L'interaction Coulombienne électrons-ions en est fortement réduite. C'est là, la principale cause de l'amélioration de mobilité dans le canal du HEMT qui est beaucoup plus forte que dans un canal volumique d'un transistor à effet de champ classique à homo-jonction (MESFET) [2-5].

De chaque côté de l'hétérojonction formée, infiniment loin de l'interface, le diagramme de bande doit tendre asymptotiquement vers chacun des diagrammes initiaux. Ceci implique la courbure des diagrammes de conduction et de valence au voisinage de l'hétérojonction. Ces courbures ont pour effet de créer un puits de potentiel qui permet le confinement des électrons issus des donneurs du matériau grand gap (AlGaAs) dans le matériau faible gap (GaAs).

L'étroitesse de ce puits (10 à 20 nm) induit la quantification des niveaux d'énergie dans la direction perpendiculaire à la jonction et le mouvement des électrons se fait dans un plan parallèle à l'hétérojonction. On parle alors de gaz d'électrons bidimensionnel.

1.3.2 Les transistors HEMT

Le transistor à effet de champ à hétérojonction (ou HEMT pour *High Electron Mobility Transistor*) est un composant dont le fonctionnement est proche du MESFET. La différence est que le HEMT utilise une hétérojonction, c'est à dire une jonction entre des matériaux ayant des bandes d'énergie différentes, de manière à faire passer les électrons constituant le courant drain-source dans un semi-conducteur non-dopé, afin de diminuer le temps de transit et donc augmenter les performances en fréquence. La vitesse des électrons est en effet d'autant plus grande que le dopage du semi-conducteur est faible, car la dispersion d'impuretés ionisées est réduite [3, 6-8].

La vue en coupe d'un HEMT AlGaAs/GaAs est représentée dans la Figure 1.2, de même que le profil de bande de conduction correspondant. Sur un substrat semi-isolant est déposée une couche d'AsGa non dopée. Le matériau faible gap permet la formation du gaz d'électrons au

voisinage de l'interface (grand gap / faible gap) avec la couche d'AlGaAs. Le gaz d'électrons créé est alors plus ou moins dense suivant la polarisation de la tension de grille.

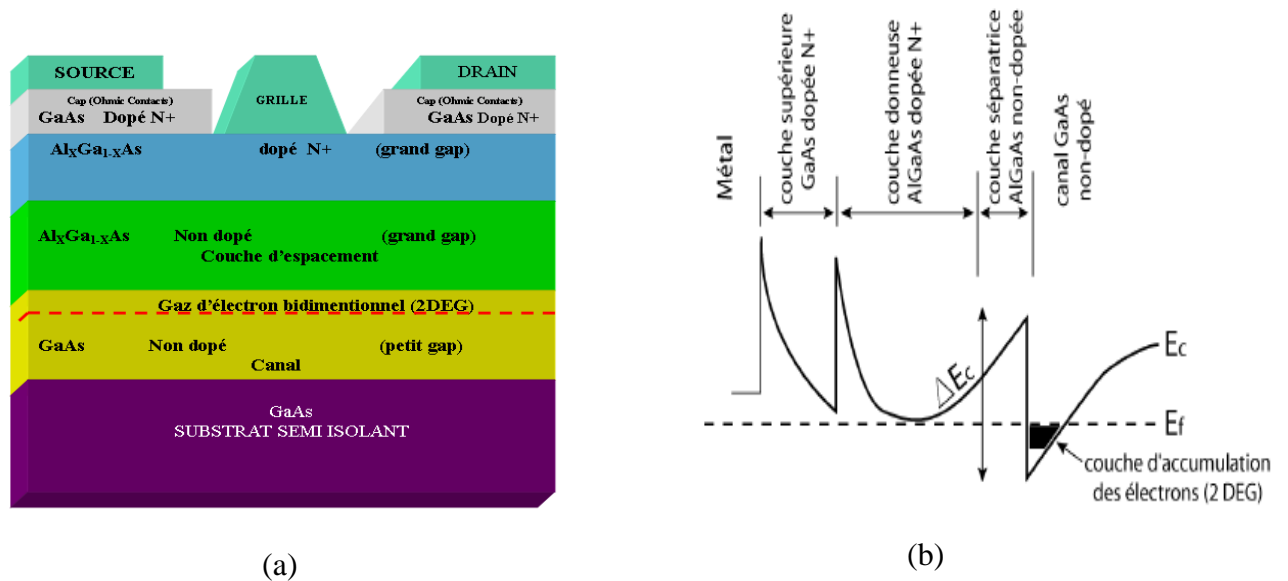


Figure 1.2 : (a) Structure d'un HEMT AlGaAs/GaAs; (b) son diagramme de bande de conduction.

La couche d'AlGaAs qui fournit les électrons au canal est très dopée sur sa partie supérieure. Sa partie inférieure, appelée "espaceur" ou "spacer", est quant à elle non dopée. Cette couche de quelques dizaines d'Angströms améliore la mobilité des électrons en minimisant leur interaction avec les donneurs ionisés.

Enfin, en haut de la structure épitaxiale du HEMT est déposée une couche d'AsGa très fortement dopée, ce qui permet de diminuer les résistances de source et de drain.

Grâce au canal constitué d'un semi-conducteur non dopé, le HEMT possède des propriétés de transport largement supérieures à celles du MESFET. Néanmoins, la densité de charge dans le canal est limitée par le peuplement en électrons de la couche d'AlGaAs dopée N+. Pour accroître cette densité et donc les performances en puissance des HEMTs, la solution adoptée a été de remplacer le canal d'AsGa par un matériau semi-conducteur de gap plus étroit tel que l'InGaAs., Ce nouveau type de transistor à hétérojonction, développé suite aux progrès réalisés en matière de techniques d'épitaxie, est appelé HEMT pseudomorphique (pHEMT).

1.3.3 Le HEMT pseudomorphique (pHEMT)

Comme le montre la Figure 1.3, la structure d'un pHEMT diffère de celle du HEMT conventionnel par le fait qu'une fine couche d'In_xGa_{1-x}As est déposée sur la couche d'AsGa non dopée [1, 9-11].

Cette couche d'InGaAs n'est pas adaptée en maille avec l'AsGa et l'AlGaAs. Elle est donc contrainte et va, par conséquent, être déformée de manière à ce que la structure cristalline de l'InGaAs soit accordée avec celle de l'AsGa et de l'AlGaAs : on parle alors de couche "pseudomorphique".

Cependant, en réalisant un compromis technologique entre la teneur en indium et l'épaisseur du canal, il est possible de s'affranchir des contraintes dues au désaccord de maille.

De plus, la largeur de bande interdite de l'InGaAs étant plus faible que celle de l'AsGa, la hauteur du puits de potentiel est augmentée par rapport au HEMT classique sans que cela nécessite la présence de couches trop fortement dopées. Il en résulte un gain en densité de charges dans le canal et donc un courant de drain plus élevé.

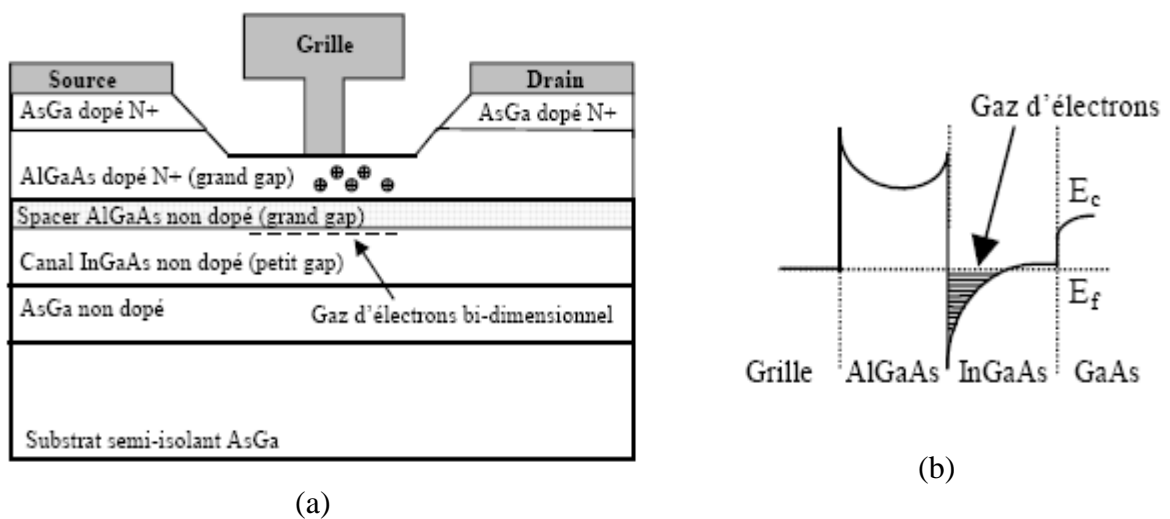


Figure 1.3 : Vue en coupe : (a) : le transistor PHEMT, (b) : la structure de bande d'un PHEMT.

Bien que les performances en bruit du PHEMT restent voisines de celles des HEMTs et ce, malgré l'utilisation du canal InGaAs, ses performances en terme de gain font du PHEMT le composant à hétérojonction le mieux adapté aux applications de puissance, en particulier dans le domaine millimétrique.

1.4 Les bruits dans les transistors à effet de champs

Tout dispositif actif est soumis au phénomène de bruit qui est en fait un signal aléatoire venant se superposer au signal utile vecteur de l'information. Il est toujours lié à des fluctuations dues au déplacement aléatoire des charges mais peut être classé sous différentes catégories en fonction du phénomène à l'origine de bruit [12, 13, 14].

Le bruit dans les circuits électriques et les composants électroniques est dû à des mouvements spontanés et désordonnés qui affectent les charges électriques élémentaires, mobiles. Ces mouvements de charge créent des fluctuations de courant et de tension qui imposent une limitation fondamentale aux propriétés du dispositif considéré.

Nous allons recenser brièvement les principales sources physiques de bruit existantes, afin d'avoir une vue globale sur les bruits existants dans tout dispositif électrique.

Les sources de bruits dans les transistors à effet de champ peuvent se décomposer en trois catégories:

- ↳ le bruit de diffusion.
- ↳ le bruit en excès.
- ↳ le bruit du à la jonction.

1.4.1 Principales sources physiques du bruit

Dans tous les dispositifs à base de semi-conducteurs, il existe du bruit électronique dont les fluctuations aléatoires et spontanées perturbent le signal utile véhiculant l'information.

Les perturbations qui engendrent le bruit de fond proviennent de divers processus physiques et en particulier de la variation de la mobilité et du nombre de porteurs participants aux courants dans le circuit. Parmi les sources de bruit, on peut citer trois grandes catégories :

les bruits de diffusion, les bruits en excès et les bruits propres aux jonctions.

Ces trois familles vont être succinctement énoncées par la suite.

• Le bruit de diffusion

Les bruits de diffusion sont dus aux fluctuations des vitesses des porteurs de charge, provoquées par leurs interactions et leurs collisions avec le réseau constituant la matière. Nous distinguons trois types de bruit de diffusion : le bruit thermique, le bruit quantique et le bruit des électrons chauds.

Le bruit thermique est dû à l'agitation thermique des porteurs de charge élémentaires dans les corps conducteurs. Cette agitation thermique provoque des collisions aléatoires et affecte ainsi les trajectoires des porteurs de charge. Il est à noter que le bruit thermique subsiste même en l'absence de champ électrique appliqué.

L'origine du bruit quantique est identique à celle du bruit thermique, mais ce bruit fait intervenir le temps moyen entre deux collisions, appelé temps de relaxation τ .

Le bruit des électrons chauds apparaît, quant à lui, lorsque le matériau, soumis à un champ électrique, est hors de son état d'équilibre thermodynamique. La mobilité et les coefficients de diffusion des porteurs dépendent alors de l'énergie de ces derniers.

- **Les bruits en excès**

Les caractéristiques fondamentales des bruits en excès sont leur présence surtout aux basses fréquences et leur décroissance en fonction de la fréquence. Deux types de bruit se distinguent : le bruit de génération-recombinaison et le bruit de scintillement.

Le bruit de génération-recombinaison est dû aux fluctuations du nombre de porteurs lors de l'émission ou de la capture de porteurs de charges par des pièges ou encore lié au processus de génération-recombinaison intra-bande. Ces fluctuations provoquent une variation aléatoire du courant. Pour le bruit de scintillement, deux hypothèses sont avancées; il serait dû soit à une fluctuation de mobilité des porteurs, soit une fluctuation du nombre de porteurs.

- **Les bruits liés à la jonction**

Pour les bruits propres à la jonction, nous distinguons : le bruit de grenaille, qui est provoqué par les fluctuations de la fraction de porteurs assurant le courant de conduction, et le bruit d'avalanche. Ce dernier apparaît lorsqu'un champ électrique fort existe au niveau de la jonction polarisée en inverse. Ceci provoque la rupture des liaisons atomiques, créant ainsi une amplification du bruit de grenaille.

Deux types de bruit en excès sont, par ailleurs, observables : le bruit de génération-recombinaison, lié aux pièges présents dans la zone de charge d'espace, et le bruit en créneaux, dû à la présence de défauts au voisinage de la jonction, créant des fluctuations de courant à flancs très raides et à amplitude et durée aléatoires.

Après avoir exposé quelques définitions générales de sources physiques de bruits, nous allons nous intéresser aux bruits qui influent les plus sur le fonctionnement du transistor.

1.4.2 Origine du bruit dans les composants

Les principales sources de bruit et les plus fréquemment mesurés dans les transistors à savoir: le bruit thermique et le bruit de grenaille sont détaillées dans les paragraphes suivants [12].

1.4.2.a Le bruit thermique

Le bruit thermique provient des fluctuations affectant les trajectoires des porteurs (électrons et trous dans les semi-conducteurs) dues aux interactions, et aux chocs avec le réseau. Il est généré par l'agitation thermique des porteurs de charges dans les corps conducteurs. Ce bruit a été observé par J. Johnson en 1927, et analysé théoriquement par Nyquist en 1928. Les autres dénominations sont mouvement brownien, bruit de Nyquist ou bruit de Johnson [12].

La densité spectrale du bruit thermique dans un conducteur de résistance R est proportionnelle à la température absolue T de celui-ci, à la bande passante Δf et à la valeur de la résistance. Deux représentations équivalentes du bruit thermique apporté par une résistance réelle R dans

un circuit sont possibles. La première est de type Norton, comportant une résistance idéale sans bruit de valeur R ($R = 1/G$), en parallèle avec une source de courant, représentant le bruit, de densité spectrale de courant $S_i(f)$ donnée par :

$$S_i(f) = \frac{4kT}{R} = 4KTG \quad (1.1)$$

où k est la constante de Boltzmann ($k = 1,38 \cdot 10^{-23} \text{ J/}^\circ\text{K}$), T est la température exprimée en degré Kelvin.

La seconde représentation, totalement équivalente, est de type Thevenin. Elle comporte une résistance idéale sans bruit R , en série avec une source de tension représentant le bruit, de densité spectrale de tension $S_v(f)$, telle que :

$$S_v(f) = 4KTR \quad (1.2)$$

La densité spectrale étant indépendante de la fréquence, ce bruit est dit blanc.

1.4.2.b Le bruit de grenaille

Ce type de bruit apparaît dans les dispositifs à semi-conducteur pour lesquels le courant électrique résulte du transport des porteurs sous l'action d'un champ électrique au travers d'une jonction.

On peut en première approximation considérer le flux de porteurs comme une suite aléatoire d'impulsions de courant représentées par des impulsions de Dirac donc chacune a un poids correspondant à la charge q d'un électron. Le courant $i(t)$ peut alors s'exprimer:

$$i(t) = \sum_k q\delta(t - t_k) \quad (1.3)$$

Où les t_k sont les instants aléatoires de passage de chaque porteur à travers la barrière de potentiel.

Nous déduisons le spectre

$$S_i(f) = I_o^2 \delta f + 2qI_o \quad (1.4)$$

Où δf est un Dirac, valant 1 lorsque f est nulle et zéro ailleurs.

Le premier terme est la distribution spectrale de la composante continue et le deuxième celle des fluctuations de courant dues à l'effet de grenaille

$$S_G(f) = 2qI_o \quad (1.5)$$

Avec q : la charge élémentaire d'un électron ($1.6 \cdot 10^{-19} \text{ C}$)

I_o : la valeur moyenne du courant traversant la jonction (A). Le bruit de grenaille est donc un bruit blanc.

1.5 Les performances des transistors (facteurs de mérites)

Les applications analogiques exigent des composants fournissant suffisamment de puissance à haute fréquence pour réaliser des circuits à gain en puissance supérieure à l'unité. Les facteurs de mérites sont le gain en puissance, la fréquence de transition F_T , la fréquence maximale d'oscillation F_{max} , le facteur de bruit minimum NF_{min} du composant et la linéarité [8, 15, 16].

Il est nécessaire de définir les notions de puissances et de gain utilisés ainsi que certains facteurs de mérite qui caractérisent les composants en hyperfréquence, en régime petit signal. Les fréquences caractéristiques sont généralement basées sur la notion des paramètres de répartition (paramètres S) et sur la notion du schéma électrique équivalent.

Les paramètres S et le schéma électrique équivalent ne sont pas explicités dans ce paragraphe, mais dans le chapitre 2.

Les HEMTs se caractérisent également par deux autres paramètres généraux, la fréquence de transition et la fréquence maximale d'oscillation ; ainsi les performances en gain [6].

1.5.1 Gains hyperfréquences des transistors

La Figure 1.4 illustre un composant dont l'entrée est reliée à un générateur d'amplitude E_{gen} et d'impédance Z_S et chargé sur une impédance Z_L . On considère un réseau à deux ports connecté à l'impédance Z_S et l'impédance Z_L , on délivre les expressions pour trois types de gain en fonction des paramètres S du réseau et les coefficients de réflexion de la source et de la charge Γ_S et Γ_L et le coefficient de réflexion d'entrée.

- ❖ **Gain en puissance** : c'est le rapport de la puissance absorbée par la charge sur la puissance absorbée par le composant :

$$G_p = \frac{P_L}{P_{in_o}} \quad (1.6)$$

$$G_p = \frac{1}{1 - |\Gamma_{IN}|^2} |S_{21}|^2 \frac{1 - |\Gamma_L|^2}{|1 - S_{22}\Gamma_L|^2} \quad (1.7)$$

Ce gain est indépendant de Z_S

- ❖ **Le gain transducteur** : c'est le rapport de la puissance absorbée par la charge sur la puissance disponible à l'entrée du composant :

$$G_T = \frac{P_L}{P_{avs}} \quad (1.8)$$

$$G_T = \frac{1 - |\Gamma_S|^2}{|1 - \Gamma_{IN}\Gamma_S|^2} |S_{21}|^2 \frac{1 - |\Gamma_L|^2}{|1 - S_{22}\Gamma_L|^2} \quad (1.9)$$

Il dépend de deux impédances Z_S et Z_L

- ❖ **Gain en puissance disponible** : Le gain de transfert maximum est obtenu lorsque l'amplificateur est adapté en entrée et en sortie. On appelle également ce gain "Gain disponible" ou "Available Gain".

$$G_A = \frac{P_{avn}}{P_{avs}} \quad (1.10)$$

$$G_A = \frac{1 - |\Gamma_S|^2}{|1 - S_{11}\Gamma_S|^2} |S_{21}|^2 \frac{1}{1 - |\Gamma_L|^2} \quad (1.11)$$

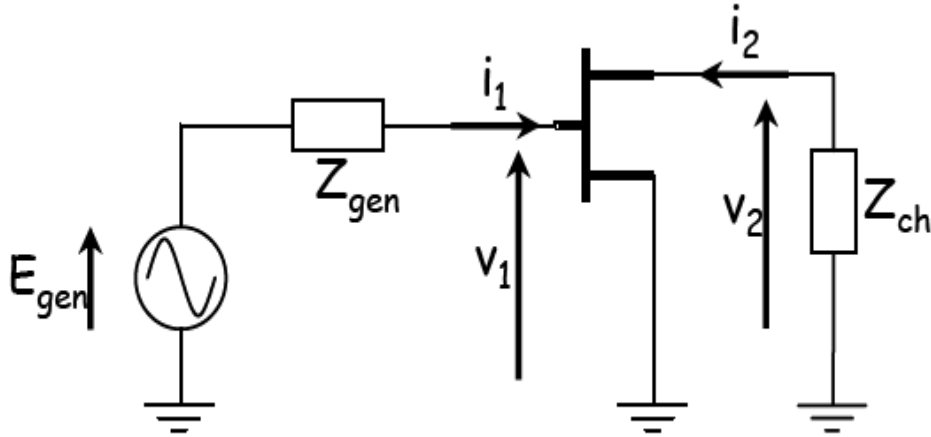


Figure 1.4 : Composant excité par un générateur d'impédance Z_{gen} et chargé sur une impédance Z_{ch} .

1.5.2 Fréquence de transition

La fréquence de transition F_T détermine la rapidité du transistor et à la fréquence pour laquelle le module du gain en courant est égal à 1, définie pour le transistor intrinsèque (transistor sans ses éléments d'accès),

La fréquence de transition peut être déduite du schéma électrique équivalent hyperfréquence d'un transistor HEMT; elle est donnée par :

$$F_T = \frac{G_m}{2\pi(C_{gs} + C_{gd})} \quad (1.12)$$

1.5.3 La fréquence maximale d'oscillation

La fréquence maximale d'oscillation F_{max} caractérise en général la qualité de la technologie. Elle correspond à la fréquence maximale d'utilisation du transistor, pour laquelle le gain en puissance est égal à 1. Cette fréquence est donnée par la formule suivante :

$$F_{max} = \frac{F_T}{2\sqrt{(R_i + R_s)G_d + 2\pi F_c R_i R_{gd}}} \quad (1.13)$$

Au delà de F_{max} le transistor devient passif.

1.6 Récapitulation

Dans ce chapitre on a rappelé le principe de fonctionnement des transistors à effet de champ à hétérojonction tel que HEMT et le pHEMT ainsi que leur structure physique. En effet la forte mobilité des électrons dans ces transistors permet un fonctionnement dans des fréquences élevées. On a aussi présenté dans ce chapitre les différents effets parasites et les bruits qui peuvent affecter les transistors à effet de champ puisque qu'ils sont les mieux adaptés aux applications faible bruit.

1.7 Bibliographie

- [1] E. Byk, "Méthodes d'analyse couplés pour la modélisation de composants et modules millimétriques de forte puissance", *Thèse de Doctorat, Université de Limoges*, 2002.
- [2] C. Melliani, "Circuits intégrés amplificateurs à base de transistors HEMT pour les transmissions numériques à très haut débit (≤ 40 Gbit/s)", *Thèse de Doctorat, Université Paris VII Denis Diderot*, Juin 2003.
- [3] S. Dellier, "Contribution à la conception des circuits microondes", *Thèse de Doctorat Université de Limoges*, Juillet 2005.
- [4] C. Charbonniaud, "Caractérisation et modélisation électrothermique non linéaire de transistors à effet de champ GaN pour l'amplification de puissance micro-onde", *Thèse de Doctorat, Université de Limoges*, Octobre 2005.
- [5] T. Gasseling, "Caractérisation non linéaire avancée de transistors de puissance pour la validation de leur modèle CAO", *Thèse de Doctorat, Université de Limoges*, Novembre 2003.
- [6] R. Claveau, "Contribution à l'étude des amplificateurs distribués et des circuits de polarisation active. Applications aux circuits de commande de modulateurs électro-optique", *Thèse de Doctorat, Institut National des Sciences Appliquées de Rennes*, Mai 2005.
- [7] G. Au, "Characterising Intermodulation in High Electron Mobility Transistor", *PHD Thesis, University of Australia*, 1998.
- [8] S. D. Meyer, "Etude d'une nouvelle filière de composants HEMTs sur technologie nitrure de gallium. Conception d'une architecture flip-chip d'amplificateur distribué de puissance à très large bande", *Thèse de Doctorat, Université de Limoges*, Septembre 2005.
- [9] P. Chevalier, "Transistors HEMT sur matériaux III-V" http://www.eudil.fr/_eudil_tec35_hemt_hemt.htm
- [10] W. Clausen, "Small signal and Modeling of MM-Wave MHEMT Devices", *Master Thesis, University of South Florida*, October 2003.
- [11] H. Mattiau, "Physique des semiconducteurs et des composants électroniques", *Dunod*, Paris, 2004.
- [12] A. Elouakadi, "Analyse comportementale des filtres à capacités commutées pour les radiocommunications: Conception d'une nouvelle architecture en technologie BiCMOS $0,35 \mu\text{m}$ ", *Thèse de Doctorat, Université de Poitiers*, Décembre 2003.

- [13] M. Devulder, "Etude et faisabilité d'un système ultra-large bande (ULB) en gamme millimétrique en technologie Silicium avancé", *Thèse de Doctorat, Université des Science et technologies de Lille*, Décembre 2008.
- [14] M. Lahoual, "Etude de caractérisation d'un MESFET-GaAs hyperfréquence et application en circuit amplificateur linéaire à faible bruit (LNA) en bande étroite autour de 10GHz en technologie MMIC pour les systèmes à communications rapides", *Mémoire de Magister, Ecole Normale Supérieure Enseignement et Technologique d'Oran*, Septembre 2009.
- [15] A. Siligaris, " Modélisation grand signal de MOSFET en hyperfréquence : application à l'étude des non linéarité des filtres SOI", *Thèse de Doctorat, Université des sciences et de technologies de Lille*, 2004.
- [16] J. L. Polleux, "Contribution de phototransistor bipolaire à hétérojonction SiGe/Si pour les application opto-microondes ", *Thèse de Doctorat, Conservatoire National des Arts et Métier, Paris*, 2001.

Chapitre 2 Modélisation des transistors HEMT pour CAO

2.1 Introduction

La modélisation des transistors à hétérojonction constitue le thème principal de ce chapitre. Le but ultime de la modélisation est la conception totale et parfaite de tout ensemble électronique. Ceci permettrait de limiter les étapes de réalisation matérielle intermédiaire coûteuses en temps et en argent pour valider son fonctionnement.

La conception de chaque élément d'un système nécessite l'utilisation de modèles permettant de simuler des phénomènes électriques, physique et thermiques complexes [1]. Cependant, la conception de circuits intégrés monolithiques reste une tâche difficile et son succès dépend des simulations réalisées par les outils de CAO (conception assisté par ordinateur). Toute réalisation technologique étant extrêmement onéreuse, il est indispensable, avant la fabrication d'un circuit, d'en prévoir le fonctionnement de la façon la plus exacte possible. Par conséquent, il est nécessaire de disposer de modèles non-linéaires, précis, fiables et compatibles avec les outils de CAO actuellement disponibles. Les méthodes de simulation utilisées aujourd'hui pour la conception de circuits reposent essentiellement sur une modélisation des éléments linéaires et non-linéaires constituant le circuit [2].

Nous commencerons ainsi ce chapitre par une description des approches classiques de modélisation des transistors hétérojonctions. Ces approches, largement employées dans la CAO des circuits hyperfréquences, utilisent des modèles électriques en éléments localisés. Cette représentation a l'avantage de rapidité d'analyse mais elle montre très vite ses limites lorsque la fréquence d'opération des circuits MMICs augmente. En effet, cette montée en fréquence rend la taille des transistors et en particulier la largeur de la grille de plus en plus comparable à la longueur d'onde. Dans ce cas, les phénomènes de propagation électromagnétique le long de la structure métallique du composant peuvent, entre autres, influencer grandement ses performances électriques.

La modélisation des composants dans le seul but de la conception d'amplificateur de faible bruit étant l'objectif de notre étude.

2.2 Le but de la modélisation

Le but de la modélisation est donc d'élaborer, pour chaque dispositif, un équivalent mathématique, le modèle, qui permet d'en reproduire et d'en prédire le comportement électrique. Utilisé directement par le simulateur de circuit, cet équivalent mathématique repose sur la physique du composant.

En pratique, on dispose du modèle, qui est un jeu d'équations basées sur la physique, et de mesures de structures de test, c'est-à-dire de composants isolés. Ces mesures permettent d'extraire les paramètres caractéristiques de la technologie.

2.3 Type de modélisation

Il existe diverses approches de modélisation des transistors à effet de champ telles que la modélisation physique, la modélisation numérique ainsi que la modélisation électrique. Le premier modèle peut être obtenu à partir de simulations physiques, mais il reste inexploitable en conception CAO car il est soit trop lourd en coût de simulation, soit trop simplifié pour être fiable. Le modèle numérique constitue une limitation des informations disponibles puisque le concepteur n'a pas accès au composant lui-même, ce qui limitera son domaine d'intervention. Le modèle électrique est actuellement le plus utilisé en conception CAO; il représente un coût de simulation et une facilité d'implémentation tout à fait adaptés aux logiciels CAO [3]. On peut généralement distinguer trois types de modélisation :

2.3.1 La modélisation physique

Elle est basée sur la physique des composants semi-conducteurs. Tous les paramètres ont une signification physique directement liée à la géométrie du composant (la largeur et la longueur de la grille), au procédé technologique et à la physique du composant (dopages, potentiels ...) [4].

Par définition, un modèle physique répond à une majorité d'exigences présentées ci-dessus. Ainsi, il est adapté à la simulation statistique en rapport avec les paramètres technologiques, il peut prévoir le comportement du transistor à diverses températures et peut tenir compte de nombreux effets, de manière analytique.

Cependant, le temps de développement d'un modèle physique peut durer plusieurs années et ne jamais prendre fin, car, à chaque nouvelle génération technologique, de nouveaux effets physiques apparaissent et doivent être pris en compte. D'autre part, afin d'assurer une bonne robustesse numérique, les équations doivent être les plus simples possibles et doivent assurer une continuité entre les différents régimes de fonctionnement. Ceci entraîne automatiquement une limitation dans les expressions du modèle physique.

Finalement, d'un point de vue pratique, les désavantages les plus importants sont le nombre de paramètres et les méthodes d'extraction des modèles physiques. Pour certains modèles physiques une grande partie des effets sont décrits par des équations semi-empiriques qui, finalement, ne sont plus vraiment reliées à la physique du composant [4].

2.3.2 La modélisation phénoménologique

La modélisation phénoménologique est une approche purement empirique, c'est-à-dire qu'elle se base uniquement sur la représentation des effets observables et mesurables, indépendamment de leur nature. Ainsi, un élément quelconque du composant (par exemple un courant) va être représenté par une équation purement mathématique. Les paramètres d'un modèle empirique n'ont pas de signification physique et servent uniquement à ajuster l'équation sur la grandeur mesurée.

Un modèle empirique peut n'en satisfaire qu'un nombre restreint. Il ne peut être utilisé pour faire une étude statistique sur les composants en fonction des paramètres de fabrication technologiques. Les lois d'échelle sur la géométrie des composants (surtout sur L_g) ne sont pas valables, car le modèle ne tient pas en compte l'évolution de chaque élément physique en fonction des dimensions du composant. D'autre part, les effets de température sur les éléments modélisés empiriquement sont très difficiles à incorporer. Finalement, l'extraction requiert obligatoirement une procédure d'optimisation, chose qui peut mener à différents ensembles de valeurs de paramètres pour un même composant.

Toutefois, les avantages de la modélisation phénoménologique ne doivent pas être négligés. L'élaboration d'un tel modèle peut s'avérer très rapide; des équations simples peuvent très bien décrire le comportement électrique du transistor, sur tous les régimes de polarisation et sur la gamme de fréquence de fonctionnement envisagés. Même certaines lois d'échelle peuvent être incluses dans les équations. Une fois le modèle élaboré, l'extraction des paramètres est rapide et les mesures requises simples et peu nombreuses.

Par ailleurs, à cause de la nature de la modélisation empirique, le modèle est facilement incorporable dans un simulateur de circuits quelconque. Grâce à la simplicité de tels modèles, le temps de calcul numérique, de la part du simulateur, peut être considérablement réduit [4].

2.3.3 La modélisation à base de données expérimentales

La modélisation à base de données expérimentales est très similaire à la modélisation phénoménologique. La différence majeure est que les éléments non linéaires ne sont pas décrits par des fonctions mathématiques, mais par des matrices de données de mesures. Les points de mesures sont reliés entre eux par des fonctions d'interpolation. Ceci entraîne certains avantages et inconvénients [4].

Le modèle est valable uniquement dans la plage des mesures effectuées, car, au-delà, les fonctions d'interpolation ne peuvent nullement assurer le comportement du composant. Il en découle que, pour des polarisations proches à la limite des mesures, ces modèles présentent d'énormes problèmes de discontinuité. Ceci est un inconvénient majeur, car il peut entraîner la

divergence lors d'un calcul. D'autre part, peu de lois d'échelle peuvent être prises en compte et chaque composant doit être individuellement mesuré.

Les avantages sont similaires à ceux des modèles phénoménologiques, avec, de plus, une rapidité d'extraction plus élevée.

2.4 Modélisation des transistors HEMTs

La structure complexe du HEMT, rend très difficile une modélisation analytique complète du composant. Afin de concevoir et simuler des circuits à base de ces transistors, il faut construire un modèle électrique du transistor. Le modèle le plus souvent utilisé est un modèle électrique en éléments localisés pour son adaptation à la CAO des circuits hyperfréquences. Cette représentation est communément utilisée dans la CAO actuelle du fait de sa facilité d'intégration et de son faible coût en terme de temps de calcul.

2.4.1 Modèle électrique petit signal d'un HEMT

Nous nous sommes basés sur un schéma équivalent (SE) petit signal, largement utilisé pour les transistors micro onde. Il est défini selon une approche non-quasi statique pour une topologie à source commune. La Figure 2.1 représente ce modèle tel qu'il peut être utilisé en simulation dans un logiciel de CAO. La Figure 2.2 montre l'origine physique de ce modèle équivalent en éléments localisés d'un transistor HEMT.

Les différents éléments électriques constituant le SE représentent les diverses parties du transistor et leurs mécanismes physiques. On utilise la notion d'éléments localisés, car une représentation du transistor à éléments distribués nécessite la connaissance du potentiel le long du canal [4].

D'après sa structure et son fonctionnement physique, le transistor est divisé en deux parties : sa partie intrinsèque et sa partie extrinsèque [4]. La partie intrinsèque correspond à la partie active du transistor, c'est-à-dire au canal. La partie extrinsèque correspond aux zones reliant la partie active du composant avec les métallisations de contact. De même, le SE est constitué par ses éléments extrinsèques et ses éléments intrinsèques.

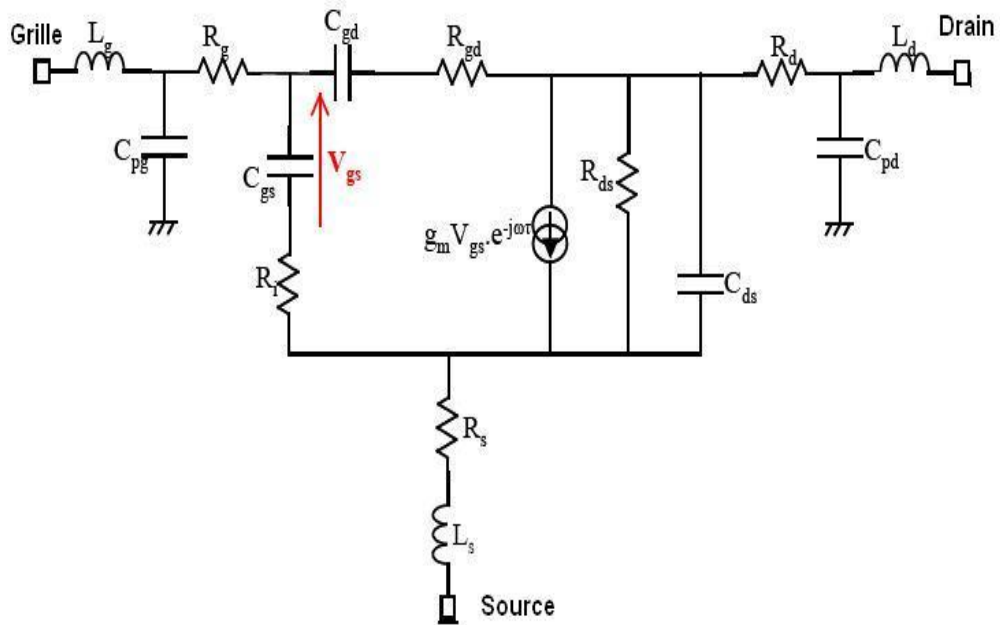


Figure 2.1 : Modèle électrique petit signal d'un HEMT.

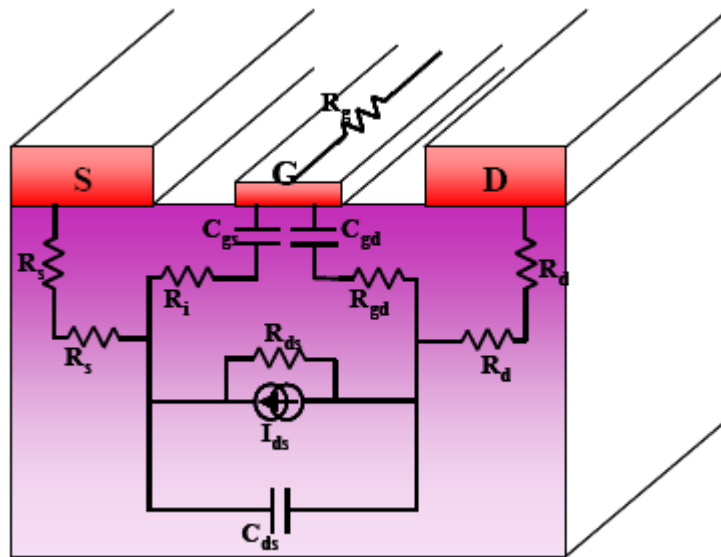


Figure 2.2 : Origine physique des éléments du modèle électrique petit signal d'un HEMT.

2.4.1.a Éléments intrinsèques

Ce sont les éléments décrivant l'aspect actif intrinsèque du transistor [3]

► Le générateur de courant $I_{ds} = g_m \cdot V_{gs} e^{-j\omega\tau}$ représente l'effet fondamental d'amplification du transistor. Il constitue en effet une source de courant contrôlée en tension modélisant le phénomène de gain au sein du composant. Le retard τ illustre le temps nécessaire aux donneurs dans la couche d'AlGaAs pour redistribuer les électrons. La transconductance g_m ,

caractéristique fondamentale du transistor, représente la variation du courant dans le canal modulé par la tension de grille.

- ▶ La conductance de sortie $g_d=1/R_{ds}$, représente la variation du courant dans le canal modulé par la tension de drain. Cette valeur traduit la résistance du canal.
- ▶ Les capacités grille-source C_{gs} et grille-drain C_{gd} représentent les variations de la charge accumulée dans la zone dépeuplée, située sous la grille. C_{gs} détermine cette variation modulée par la tension grille-source pour une tension grille-drain constante et C_{gd} , le contraire.
- ▶ La capacité drain-source C_{ds} décrit le couplage capacitif entre les contacts de drain et de source.
- ▶ Les résistances R_i et R_{gd} décrivent le caractère distribué du canal. La résistance R_i est la résistance d'entrée, permettant de modéliser l'impédance d'entrée du transistor. La résistance R_{gd} quant à elle permet de modéliser la rétroaction du composant ; elle est parfois négligée.

2.4.1.b Eléments extrinsèques

Ce sont les éléments parasites qui dépendent principalement des accès à la partie intrinsèque et sont donc liés à la géométrie du transistor.

- ▶ Les résistances de source R_s et de drain R_d traduisent l'effet résistif des contacts ohmiques et des zones du substrat situées entre les électrodes externes de source ou de drain et la zone active du canal.
- ▶ La résistance de la grille R_g représente les pertes dues à l'effet distribué le long de l'électrode de grille du signal de commande.
- ▶ Les capacités C_{pg} et C_{pd} sont les capacités induites par les accès de grille et de drain vis-à-vis du substrat.

2.4.2 Modèle électrique grand signal du transistor PHEMT

Le modèle grand signal représente le comportement du transistor pour une excitation d'entrée de forte amplitude [4].

Afin de modéliser les transistors HEMT en hyperfréquence, nous avons d'abord considéré les besoins et le but de l'étude. Ce modèle grand signal est largement utilisé pour concevoir des circuits hyperfréquence (LNA, amplificateurs distribués, oscillateurs, mélangeurs ...). La précision de ce type de modèle nécessite une meilleure connaissance du modèle petit signal, qui permet d'étudier les performances (petit et grand signal) des composants utilisant toute nouvelle génération technologique.

Les non-linéarités les plus courantes se situent au niveau de la source de courant commandée, ainsi qu'au niveau des capacités C_{gs} et C_{gd} . Nous cherchons alors à représenter ces non-

linéarités par des expressions analytiques. Il existe des méthodes principales qui sont : la modélisation par équations phénoménologiques, la modélisation par tables et la modélisation par réseaux neuronaux.

Le choix de la modélisation phénoménologique rendait le travail beaucoup plus flexible et rapide.

La topologie du modèle fort signal est présentée dans la figure 2.3. Alors que les éléments extrinsèques sont indépendants des tensions de commande, il n'en est pas de même pour les éléments intrinsèques. Le modèle non linéaire comporte ainsi 5 non linéarités.

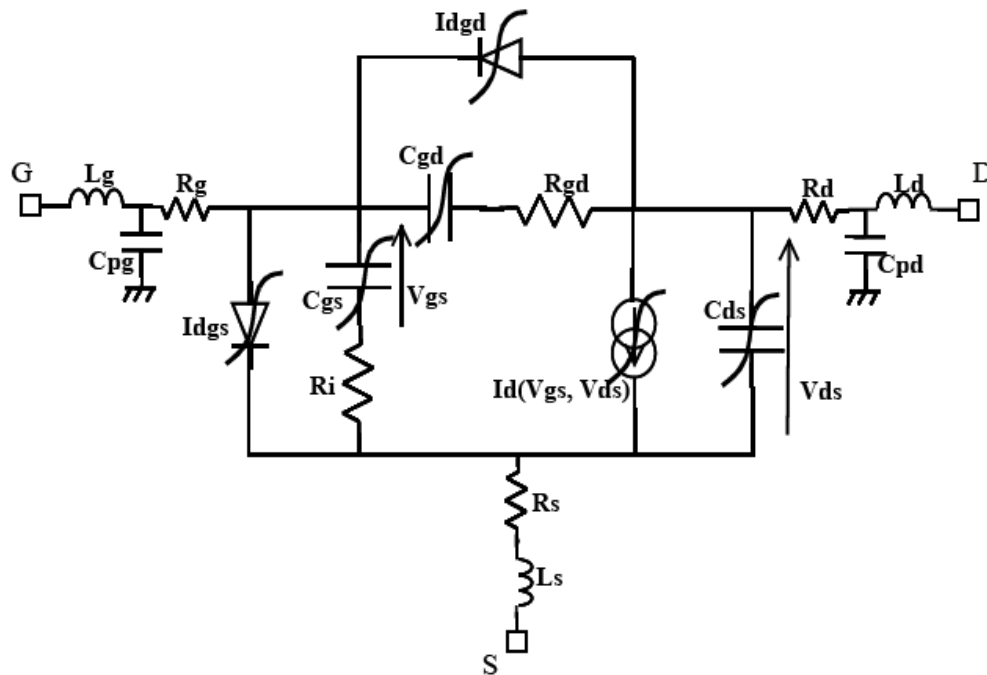


Figure 2.3 : Schéma équivalent fort signal d'un HEMT.

Seuls les éléments intrinsèques R_i , R_{gd} et C_{ds} sont considérés comme constants, leurs faibles variations avec les tensions de commande ne justifiant pas d'être prises en compte.

L'effet fondamental du transistor est décrit par la source de courant non linéaire I_{ds} , commandée par les tensions V_{gs} et V_{ds} . Plusieurs expressions analytiques de cette source sont proposées dans la littérature [5]. Cependant, elles ne permettent pas une représentation complète du comportement non linéaire d'un HEMT dans toutes les zones de fonctionnement.

Les modèles non linéaires analytiques les plus utilisés par CAO environnement pour exprimer la source de courant sont les modèles de Curtice Ettenberg Cubique, Curtice Quadratique, Materka-Kacperzak, Triquint, Raytheon (Statz), Angelov (Chalmers), Tajima et le modèle EE-HEMT[6-11]. Concernant les capacités non-linéaires, elles sont représentées par des équations mathématiques plus ou moins simples (une tangente hyperbolique par exemple)

2.5 Modélisation des transistors pHEMT pour la conception

2.5.1 Contexte

Les travaux de thèse présentés ici s'inscrivent dans le cadre de l'étude du projet européen SKA (Square Kilometer Array), visant à étudier une filière de composants HEMTs et pHEMTs sur la technologie Arséniure de Gallium (GaAs) et le Phosphure d'Indium (InP) et son application à l'amplification faible bruit (LNA) large bande (bande L) [0.4-2GHz, 0.4-3GHz] ayant un facteur de bruit le plus faible possible et un gain fort sur toute la bande d'application et la réalisation du circuit MMIC utilisant la technologie coplanaire ou planaire (microstrip). Pour atteindre ces objectifs les stratégies suivantes ont été poursuivies:

- La modélisation et la caractérisation des nouveaux transistors HEMT (PHEMT) InGaAs-InAlAs-InP dont la longueur de la grille est 1 μm .
- Calcul des paramètres géométriques des éléments passifs MMIC disponibles dans le logiciel de simulation ADS pour être utilisés dans l'amplificateur LNA (inductance spirale, des condensateurs TFC et des résistances à couches minces TFR).
- La Conception, la simulation des amplificateurs faibles bruit LNA large bande qui satisfont les spécifications du cahier de charge.

Le laboratoire de microélectronique et nano structure de l'université de Manchester était chargé, entre autre, de la caractérisation de divers composants. Ainsi, nous avons eu à notre disposition un panel de transistors de différentes tailles et topologies sur différents substrats.

2.5.2 Caractérisation des composants

Les transistors utilisés dans ce travail sont fabriqués au laboratoire de microélectronique et nano structure de l'université de Manchester. Ils sont caractérisés par des mesures pulsées, sous pointes, des caractéristiques I(V) et de paramètres S, utilisant un analyseur de réseau vectoriel HP-8510C pour les mesures des paramètres S en liaison avec un analyseur des paramètres HP-4142 pour les mesures DC; les deux sont automatisés par le logiciel de modélisation IC-CAP. Cette caractérisation s'effectue sur un banc de mesures développé (Figure 2.4). La bande de fréquence couverte s'étend jusqu'à 40 GHz.

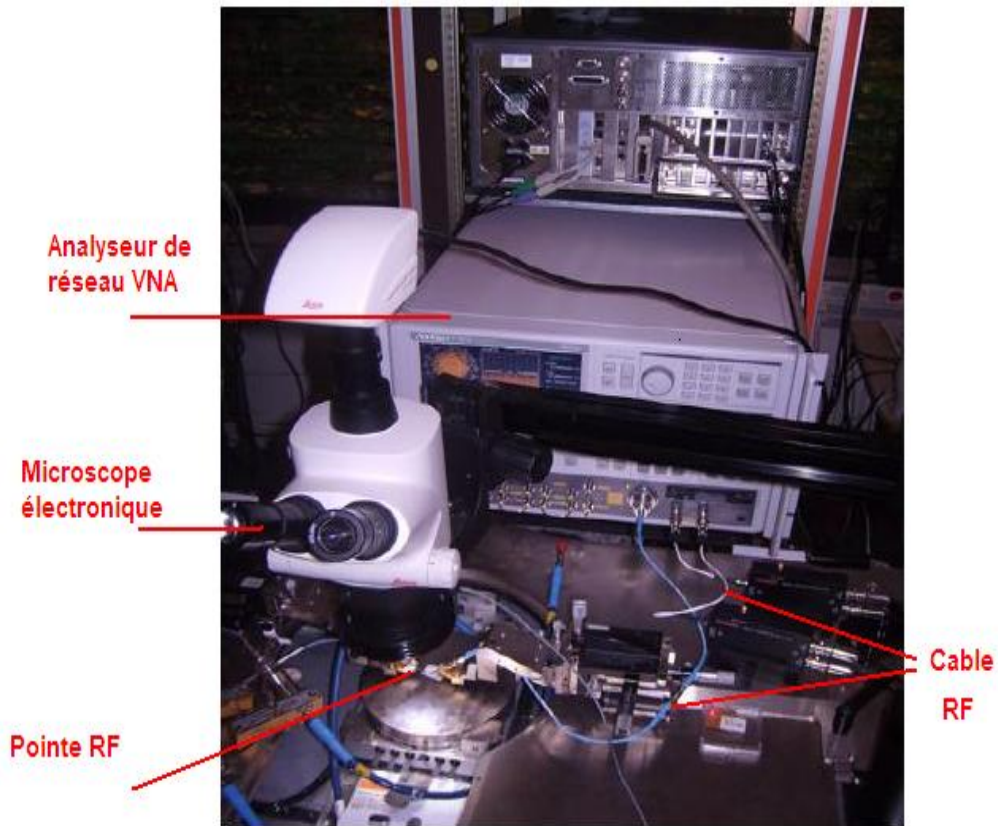


Figure 2.4 : Photographie du système de mesure.

2.5.3 Modélisation électrique linéaire des transistors HEMT et PHEMT de ces travaux

Le modèle le plus employé actuellement est le modèle équivalent en éléments localisés présenté dans la Figure 2.1. L'origine physique des éléments du modèle petit signal a été détaillé précédemment (section 2.4.1). Il existe différents modèles de transistor HEMT, chaque modèle caractérise une technologie, avec ajout des éléments soit dans la partie extrinsèque ou la partie intrinsèque. Le modèle électrique est actuellement le plus utilisé en conception CAO; il représente un coût de simulation et une facilité d'implémentation tout à fait adaptés aux logiciels CAO ainsi il a montré sa robustesse et a donné une excellente concordance avec les mesures. Il existe plusieurs méthodes de détermination des éléments du modèle petit signal. Quelque soit la méthode utilisée, des mesures de paramètres S du composant sont nécessaires [3, 12,13].

2.5.4 Principe de la méthode d'extraction directe

La détermination des éléments du schéma électrique équivalent petit signal se base sur des propriétés des transistors HEMT dépendant du régime de polarisation et de la fréquence de fonctionnement. Cette méthode s'appuie sur le schéma équivalent électrique d'un transistor à effet de champ de la Figure 2.1. Les éléments du schéma sont dissociés en deux catégories :

les éléments intrinsèques, fonctions de la polarisation et les éléments extrinsèques qui eux, sont indépendants de la polarisation.

2.5.4.a Détermination des éléments extrinsèques

D'un point de vue expérimental, les éléments extrinsèques (R_g , R_d et R_s , L_g , L_d , L_s , C_{pg} et C_{pd}) peuvent être évalués analytiquement à partir des mesures hyperfréquences et ce en plaçant le transistor dans des conditions de polarisation à froid, c'est-à-dire pour $V_{DS}=0$ V. Les mesures de paramètres S d'un transistor en régime froid ($V_{DS}=0$ V) permettent de simplifier la topologie du schéma équivalent petit signal (Figure 2.5) car à cette polarisation, le composant se comporte comme un quadripôle passif réciproque ($G_m=0$, $S_{21}=S_{12}$). La détermination des éléments extrinsèques à partir de ces mesures à froid dépend alors de la polarisation de grille.

➤ Détermination des éléments séries:

Les éléments séries sont déterminées à partir des mesures de paramètres de dispersion au point de polarisation froide $V_{DS}=0$ et $V_{GS} > V_P$; V_P : tension de pincement. Le canal du transistor est en conduction, dans cet état on peut déterminer les valeurs des composants séries des éléments extrinsèques. Dans ces conditions de polarisation les éléments séries, inductances et résistances deviennent alors prépondérants sur les éléments capacitifs [14].

Lorsque la grille est fortement polarisée en inverse ($V_{GS} \ll V_P$), la conduction dans le canal est supprimée, la zone active sous la grille devient totalement désertée. Dans ce cas, le schéma équivalent du transistor sera simplifié comme indiqué sur la Figure 2.5:

Pour simplifier la procédure d'extraction, la partie intrinsèque de la topologie π est transformée en topologie T comme présenté dans la Figure 2.5 ci-dessus [15-20].

La matrice correspondante au modèle pincé est donnée par les équations suivantes

$$Z_{p11} = R_g + R_s + j[\omega(L_g + L_s) - \frac{1}{\omega}(\frac{1}{C_g} + \frac{1}{C_s})] \quad (2.1.a)$$

$$Z_{p12} = Z_{p21} = R_s + j[\omega L_s - \frac{1}{\omega C_s}] \quad (2.1.b)$$

$$Z_{p22} = R_d + R_s + j[\omega(L_d + L_s) - \frac{1}{\omega}(\frac{1}{C_s} + \frac{1}{C_d})] \quad (2.1.c)$$

Dans le but de simplifier l'analyse du circuit, le réseau capacitif π qui est transformé en réseau en T [17, 20] constitué par les capacités C_g , C_s et C_d dont les équations sont:

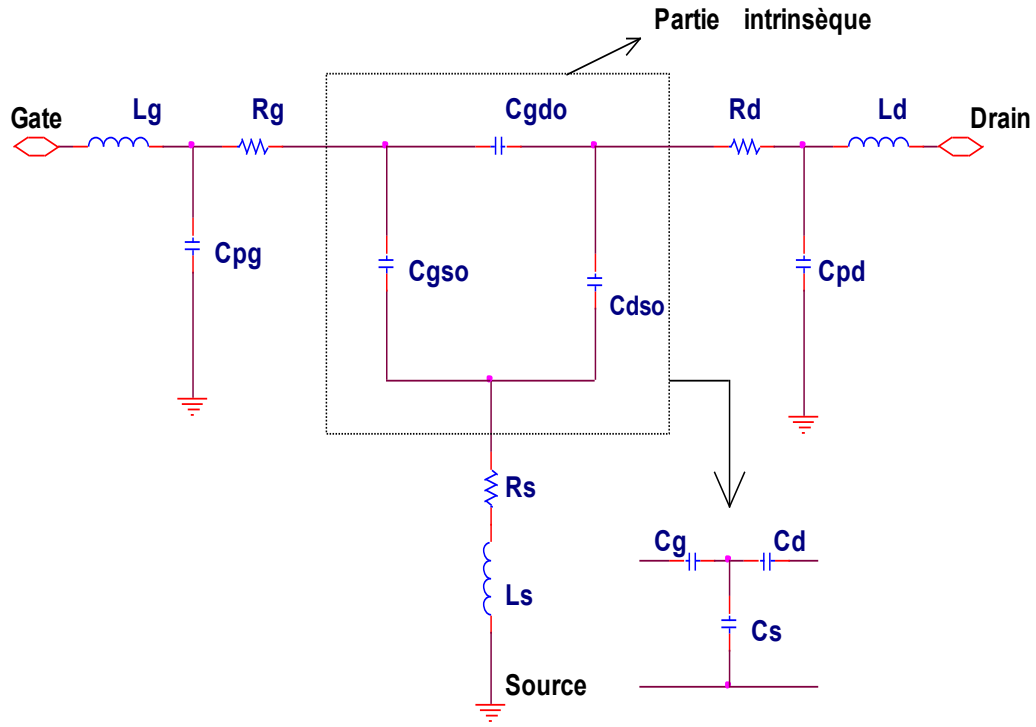


Figure 2.5 : Schéma équivalent petit signal à $V_{DS} = 0$ V et grille fortement en inverse ($V_{GS} \ll V_P$).

$$C_s = C_{gso} + C_{dso} + \frac{C_{gso} C_{dso}}{C_{gdo}} \quad (2.2.a)$$

$$C_d = C_{gdo} + C_{dso} + \frac{C_{dso} C_{gdo}}{C_{dso}} \quad (2.2.b)$$

$$C_g = C_{gso} + C_{gdo} + \frac{C_{gso} C_{gdo}}{C_{dso}} \quad (2.2.c)$$

Les résistances parasites ou d'accès R_g , R_s et R_d sont déduites de la partie réelle des équations (2.1.a), (2.1.b) et (2.1.c) [19].

$$R_s = \text{Re}(Z_{p12}) \quad (2.3.a)$$

$$R_d = \text{Re}(Z_{p22}) - \text{Re}(Z_{p12}) \quad (2.3.b)$$

$$R_g = \text{Re}(Z_{p11}) - \text{Re}(Z_{p12}) \quad (2.3.c)$$

Les parties imaginaires de la matrice Z_p sont multipliées par la pulsation ω

$$\omega \cdot \text{Im}(Z_{p11}) = \omega^2 \cdot (L_g + L_s) - \left(\frac{1}{C_g} + \frac{1}{C_s} \right) \quad (2.4.a)$$

$$\omega \cdot \text{Im}(Z_{p12}) = \omega^2 \cdot L_s - \frac{1}{C_s} \quad (2.4.b)$$

$$\omega \cdot \text{Im}(Z_{p22}) = \omega^2 \cdot (L_d + L_s) - \left(\frac{1}{C_d} + \frac{1}{C_s} \right) \quad (2.4.c)$$

La pente des courbes $\omega \cdot \text{imaginaire}(Z_{p1j})$ en fonction de ω^2 représente approximativement les

valeurs des inductances parasites L_g , L_s et L_d [21].

➤ **Détermination des capacités de plots C_{pg} et C_{pd} :**

Les capacités plots sont déterminées à partir des mesures de paramètres de dispersion au point de polarisation froide $V_{DS}=0V$ et $V_{GS}\ll V_p$. Dans ces conditions de polarisation, la transconductance G_m et la conductance de drain G_d sont nulles, les capacités C_{gs} et C_{gd} sont considérées égales ($C_{gs}=C_{gd}=C_b$).

L'hypothèse fondamentale consiste à considérer la capacité intrinsèque C_{ds} comme négligeable (nulle). De plus aux basses fréquences ($<10GHz$), on peut considérer les valeurs des résistances et des inductances négligeables par rapport à celles des capacités [14]. Le schéma équivalent d'un HEMT à polarisation froide peut être simplifié et est représenté dans la Figure 2.6.

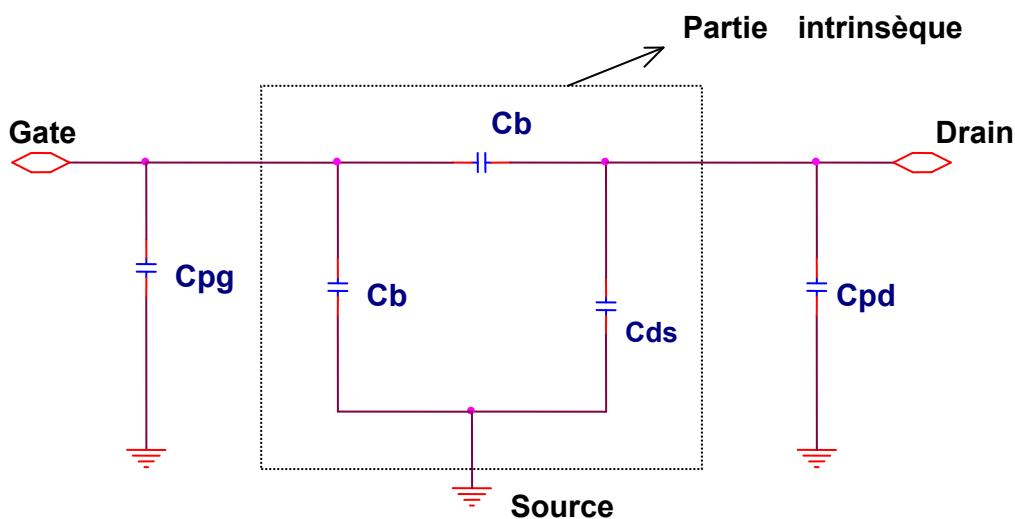


Figure 2.6 : Modélisation du transistor HEMT, pour les fréquences inférieures à quelques GHz en polarisation froide ($V_{DS}=0V$ et grille fortement en inverse ($V_{GS}\ll V_p$)).

Lorsque la conduction dans le canal est supprimé (c'est-à-dire quand $V_{DS} = 0$, $V_{GS} \ll V_p$ et la zone active sous la grille étant totalement désertée, il est possible d'extraire les capacités parasites C_{pg} et C_{pd} pour des fréquences de quelques GHz, les effets dus aux inductances et aux résistances d'accès pouvant être négligées [12, 14-16, 18, 21, 22]. L'hypothèse fondamentale consiste à considérer la capacité intrinsèque C_{ds} nulle. Avec une topologie symétrique ($V_{DS}=0$), on peut donc déduire les valeurs des capacités plots C_{pg} et C_{pd} par les relations suivantes:

$$C_b = -\frac{\text{Im}(Y_{12})}{\omega} \quad (2.5.a)$$

$$C_{pg} = \frac{\text{Im}(Y_{11}) + 2 \times \text{Im}(Y_{12})}{\omega} \quad (2.5.b)$$

$$C_{pd} = \frac{\text{Im}(Y_{22}) + \text{Im}(Y_{12})}{\omega} \quad (2.5.c)$$

Il est noté que la valeur de C_{pd} est souvent surestimée à cause de la capacité C_{ds} . Ceci engendre une sous estimation de la valeur de C_{ds} lors de la détermination des paramètres intrinsèques. Cette valeur pouvant être négative; il faudra ajuster la valeur de la capacité C_{pd} plot afin d'obtenir une valeur physique [26-35].

2.5.4.b Extraction des éléments intrinsèques du schéma équivalent

Une fois tous les éléments extrinsèques sont déterminés, nous pouvons directement extraire les éléments intrinsèques à partir de la matrice Y_{int} calculée selon la procédure présentée par l'organigramme de la Figure 2.7. La matrice Y_{int} est donnée par [14, 15, 23-26].

Les paramètres intrinsèques du transistor HEMT vont être déterminés à partir des mesures des paramètres de dispersion pour une polarisation donnée. Connaissant tous les paramètres extrinsèques, nous allons calculer la matrice admittance intrinsèque du schéma équivalent en utilisant une procédure d'épluchage dite de «deembedding» qui consiste en plusieurs transformations de matrice S vers une matrice impédance par élimination de l'élément série ou vers une matrice admittance par suppression de l'élément parasite parallèle. Cette procédure «deembedding» est représentée dans la Figure 2.7.

A partir de la matrice admittance intrinsèque du transistor, on peut remonter à chaque élément du schéma équivalent par les relations suivantes:

$$C_{gs} = \frac{(1+d_1^2)}{\omega} \times (\text{Im} ag(Y_{int11}) + \text{Im} ag(Y_{int12})) \quad (2.6)$$

$$R_i = \frac{d_1}{(1+d_1^2) \times (\text{Im} ag(Y_{int11}) + \text{Im} ag(Y_{int12}))} \quad (2.7)$$

$$C_{gd} = -\frac{(1+d_2^2)}{\omega} \text{Im} ag(Y_{int12}) \quad (2.8)$$

$$R_{gd} = -\frac{d_2}{(1+d_2^2) \times \text{Im} ag(Y_{int12})} \quad (2.9)$$

$$C_{ds} = \frac{\text{Im} ag(Y_{int22}) + \text{Im} ag(Y_{int12})}{\omega} \quad (2.10)$$

$$g_m = |G_m| \quad (2.11)$$

$$g_{ds} = \text{Re} al(Y_{\text{int}22}) + \text{Re} al(Y_{\text{int}12}) \quad (2.12)$$

$$\tau = -\frac{1}{\omega} \angle(G) \quad (2.13)$$

Où

$$d_1 = \frac{\text{Re} al(Y_{\text{int}11}) + \text{Re} al(Y_{\text{int}12})}{\text{Im} ag(Y_{\text{int}11}) + \text{Im} ag(Y_{\text{int}12})} \quad (2.14)$$

$$d_2 = \frac{\text{Re} al(Y_{\text{int}12})}{\text{Im} ag(Y_{\text{int}12})} \quad (2.15)$$

$$G = g_m \times \exp(-j\omega\tau) = (Y_{\text{int}21} + Y_{\text{int}12})(1 + j \times d_1) \quad (2.16)$$

Cette méthode analytique est en fait une extraction directe des mesures de paramètres S effectuées sur le composant [21].

2.5.5 Les paramètres du modèle petit signal pour les transistors utilisés dans ce travail

Dans cette section, on expose les paramètres du modèle linéaire de quelques transistors HEMT et pHEMT sur un substrat GaAs et InP dont la longueur de la grille est de 1µm.

Le Tableau 2.1 montre les paramètres extraits du modèle linéaire pour plusieurs transistors: VMBE-1864-A222-1x200µm est un GaAs HEMT, VMBE-1891-A322-1x200µm est un GaAs pHEMT, VMBE-1841-A132-1x200µm est un InP pHEMT, VMBE-1841-B132-1x160µm est un InP pHEMT, XMBE-109-A043-4x200µm est un InP pHEMT et XMBE-109-D073-4x50µm est un InP pHEMT.

Les paramètres extraits sont utilisés pour reproduire les paramètres S des transistors et les comparés aux mesures. Cette comparaison est montrée dans les Figures 2.8, 2.9, 2.10 et 2.11. On remarque que ces résultats montrent une bonne concordance entre le modèle simulé et les mesures.

2.6 Caractérisation du facteur de bruit

L'objectif principal de l'utilisation des transistors à hétérojonction HEMT et pHEMT fabriqués à base des substrats GaAs et InP est la conception des amplificateurs à faible bruit large bande pour des applications en radioastronomie (SKA). Ainsi il est important de trouver une expression analytique précise pour le calcul du facteur de bruit minimum de ces transistors. Le facteur de bruit d'un FET est affecté par deux paramètres: le point de polarisation et l'impédance du générateur. Le facteur de bruit minimal NF_{min} défini dans cette section est un facteur de bruit minimum absolu en ajustant en même temps: la polarisation et l'impédance du générateur.

En utilisant les valeurs des quatre éléments du schéma équivalent G_m , C_{gs} , C_{gd} , F_c , R_s et R_g déterminés à partir des paramètres S mesurés et par l'extraction des paramètres petit signal, le facteur de bruit minimal NF_{min} est donnée par une équation empirique de Fukui [36] :

$$NF_{min}(dB) = 10 \text{Log} \left(1 + 2\pi k f C_{gs} \sqrt{\frac{(R_s + R_g)}{G_m}} \right) \quad (2.17)$$

$$F_c = \frac{G_m}{2\pi(C_{gs} + C_{gd})} \quad (2.18)$$

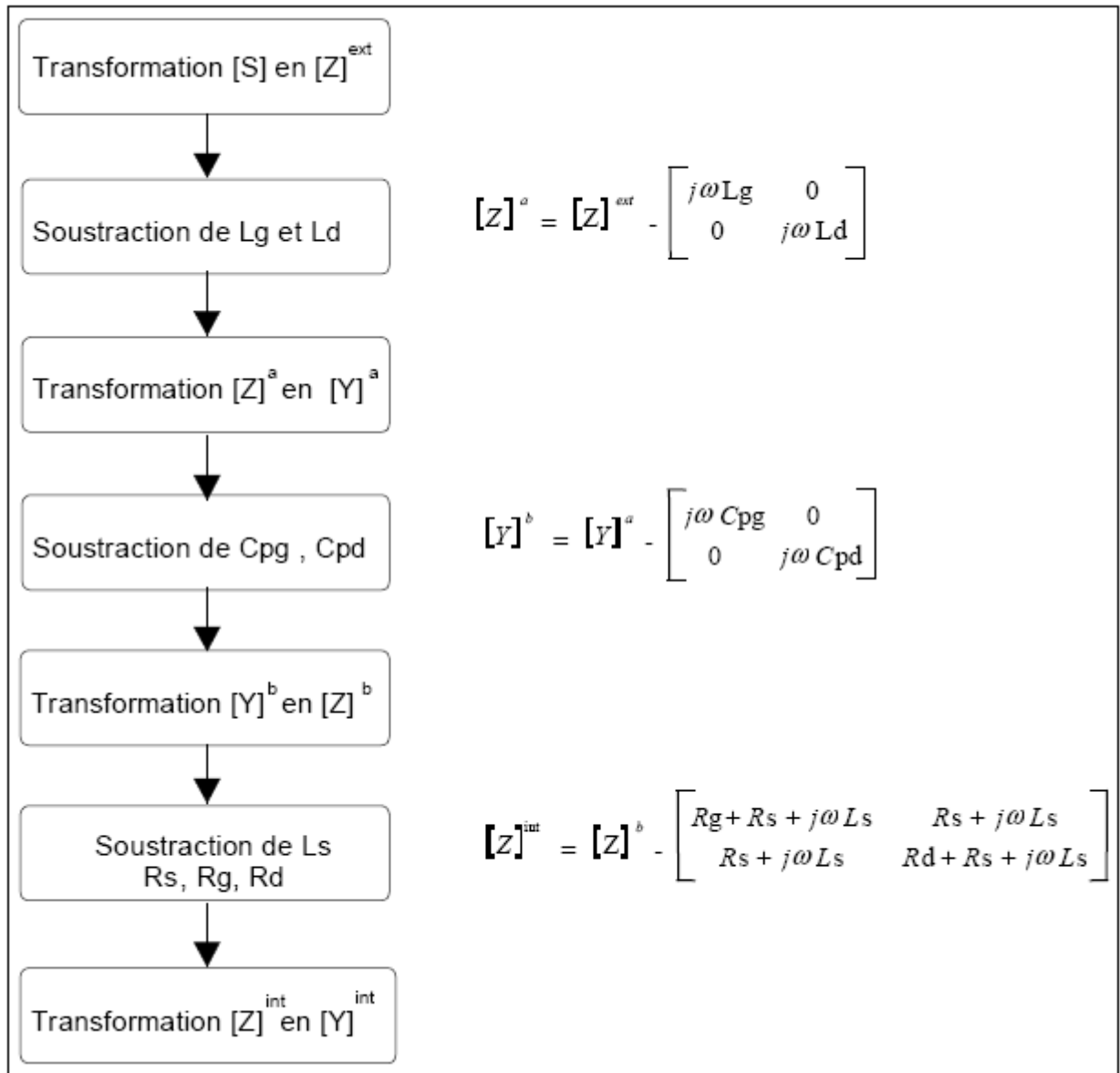


Figure 2.7: Détermination de la matrice admittance intrinsèque du transistor HEMT.

Où F_c est la fréquence de coupure, k : est un facteur d'ajustement (fitting) qui dépend du matériau du composant utilisé ($k = 2.5$ pour GaAs MESFET), pour les transistors utilisés dans ce travail à base de InP $k = 3.6$ et $k = 3.5$ pour GaAs. La Figure 2.12 donne le facteur de bruit

minimal NF_{\min} pour les transistors utilisés. On remarque que les échantillons à base de InP sont les meilleurs composants pour les applications faible bruit.

| | | VMBE-1841 1x200 μm | VMBE-1841 1x160 μm | VMBE-1891 1x200 μm | VMBE-1864 1x200 μm | XMBE-109 A-043 4x200 μm | XMB-109 D-073 4x50 μm |
|-----------------------------|---------------------------------|----------------------------------|----------------------------------|----------------------------------|----------------------------------|--|--|
| Les Paramètres Extrinsèques | Rg(Ω) | 20.65 | 18.52 | 23 | 12.7 | 1.98 | 1.41 |
| | Rs(Ω) | 2.6 | 3.42 | 5.77 | 1 | 0.72 | 3.63 |
| | Rd(Ω) | 3 | 2.34 | 8.16 | 8.43 | 7.33 | 7.85 |
| | Lg(pH) | 15.3 | 8.35 | 21.8 | 32.99 | 80 | 64.4 |
| | Ls(pH) | 12.1 | 5.58 | 8.34 | 6.68 | 25 | 5.00 |
| | Ld(pH) | 24 | 19.76 | 21 | 1.59 | 96 | 20.7 |
| | Cpg(fF) | 2.2 | 0.32 | 1.47 | 11.91 | 52.7 | 52.9 |
| | Cpd(fF) | 30 | 28.52 | 34 | 25.78 | 150 | 45 |
| Les Paramètres Intrinsèques | Ri(Ω) | 6.36 | 7.1 | 15.9 | 20.94 | 1.8 | 4.99 |
| | Cgs(fF) | 506 | 456 | 291 | 553 | 1033 | 298 |
| | Cgd(fF) | 25.2 | 17.8 | 60 | 22.4 | 143 | 45.6 |
| | Rds(Ω) | 284 | 698.5 | 585 | 1999 | 219 | 414.76 |
| | Cds(fF) | 28.7 | 3.29 | 11.5 | 10 | 41.1 | 40 |
| | Gm(ms) | 85 | 76 | 18 | 34 | 217 | 0.0558 |
| | T(psec) | 2.7 | 1.61 | 2.84 | 3.69 | 1.48 | 1.515 |
| | Fc(GHz) | 28 | 37.8 | 10 | 10 | 33.5 | 30 |

Tableau 2.1 : Extraction des paramètres du modèle linéaire des transistors utilisés.

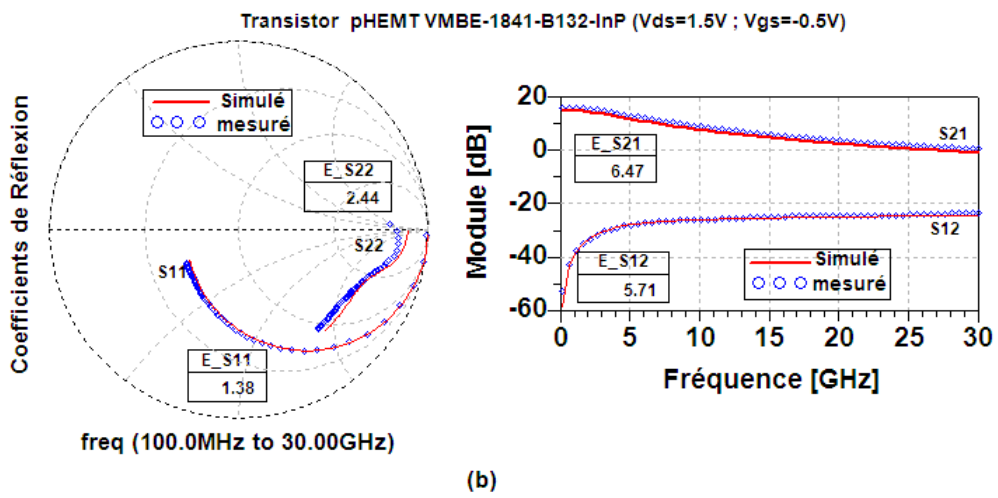
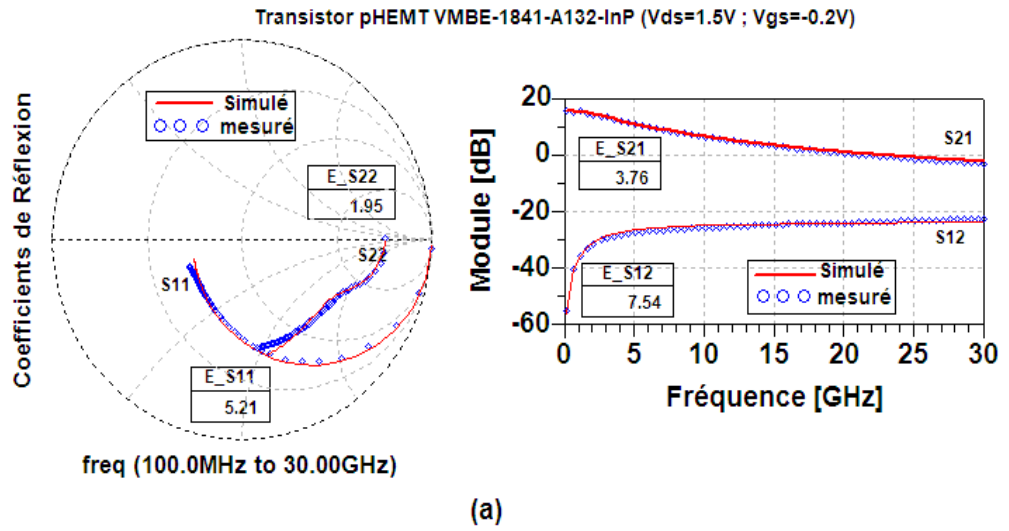


Figure 2.8 : Comparaison entre le modèle linéaire calculé et le modèle mesuré du transistor pHEMT InP VMBE-1841 InGaAs-InAlAs-InP, (a) VMBE-1841-A132-1x200 μm ; (b) VMBE-1841-B132-1x160 μm .

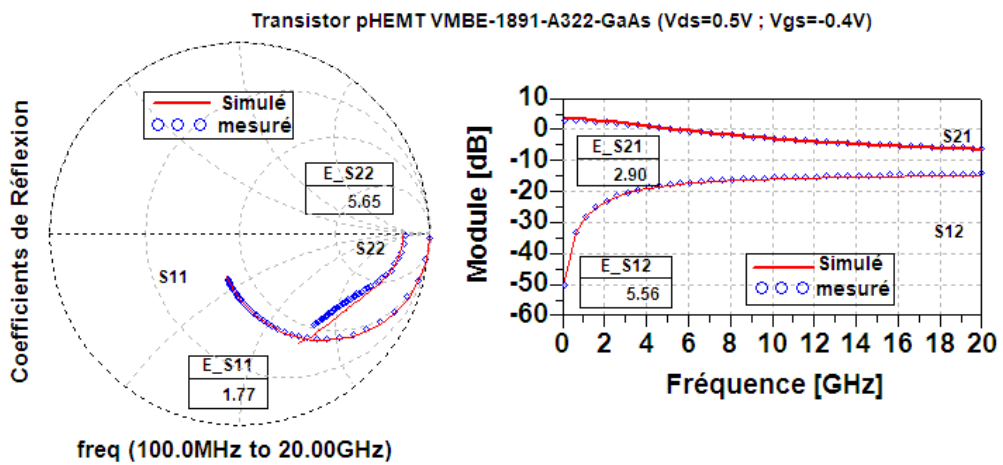


Figure 2.9 : Comparaison entre le modèle linéaire calculé et le modèle mesuré du le transistor pHEMT GaAs VMBE-1891 InGaAs-AlGaAs-GaAs 1x200 μm .

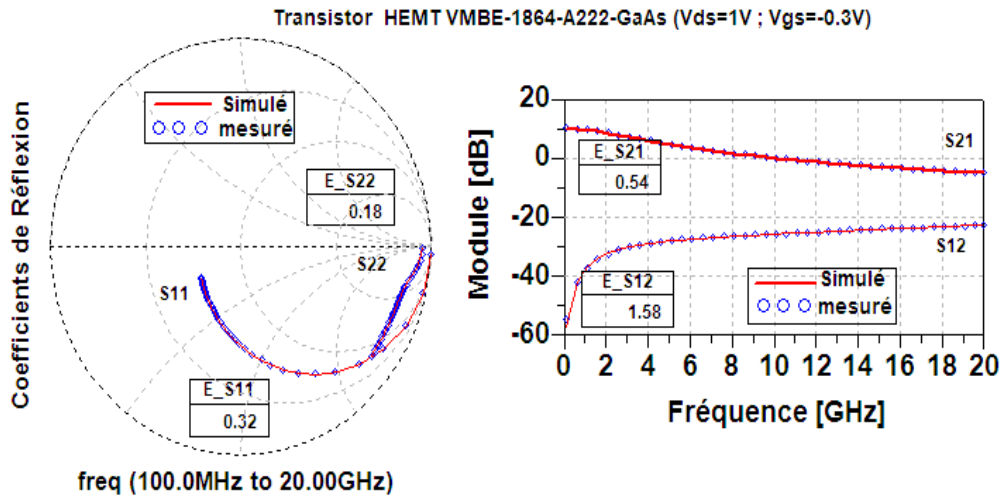


Figure 2.10 : Comparaison entre le modèle linéaire calculé et le modèle mesuré du transistor HEMT GaAs VMBE-1864 InGaAs-AlGaAs-GaAs 1x200 μm .

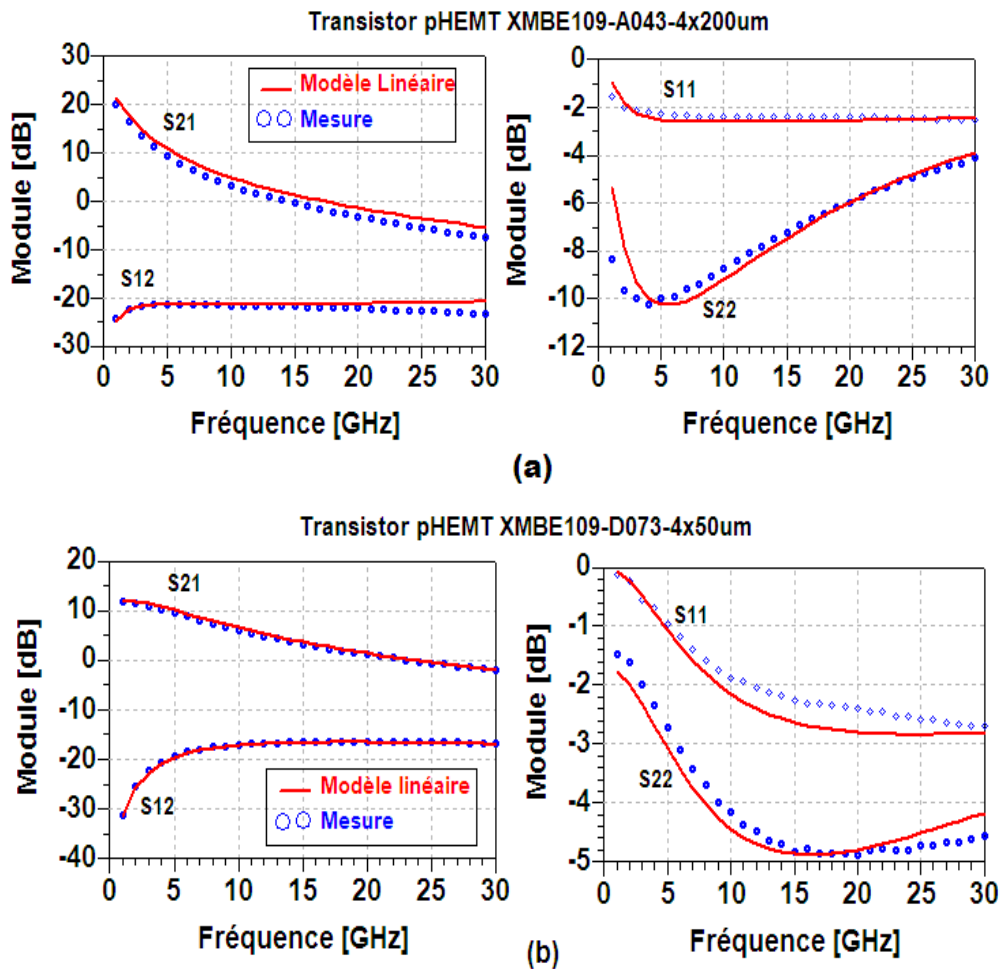


Figure 2.11 : Comparaison entre les caractéristiques RF linéaires calculées et celles mesurées des transistors pHEMT InGaAs-AlGaAs-InP : (a) XMBE-A043-4x200 μm ; (b) XMBE-D073-4x50 μm .

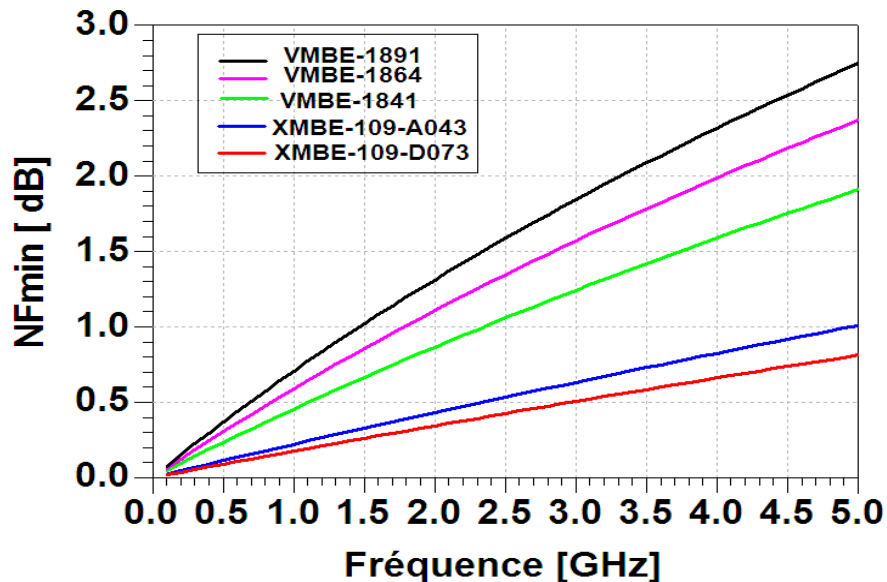


Figure 2.12: Facteur de bruit minimal NF_{\min} prédit par la formule de Fukui [36].

2.7 Modélisation non linéaire des transistors HEMT et PHEMT

Un modèle électrique grand signal de transistor se base sur une approche de type schéma équivalent électrique. Les éléments grand signal sont déterminés à partir de mesures statiques (DC) et de mesures AC (RF). Il est important de noter que le schéma équivalent petit signal est intimement lié au modèle grand signal. Un schéma électrique petit signal (linéarisation autour d'un point de polarisation) représente le fonctionnement dynamique d'un composant autour d'un point de fonctionnement. Tous les éléments intrinsèques des transistors HEMT dépendent fortement de la polarisation du composant et du régime de fonctionnement. Une description petit signal ne suffit pas et chaque élément doit être représenté par une équation grand signal qui décrit ses variations en fonction des différents signaux d'excitation appliqués.

2.7.1 Théorie de base du modèle grand signal

Dans la section précédente, on a vu comment obtenir un modèle petit signal ainsi que les valeurs de ses éléments intrinsèques en fonction de la polarisation, mais ils sont indépendants de la fréquence et de la puissance. Pour le modèle large signal du transistor, la prédiction devrait s'étendre à l'étude de la compression du gain et la distorsion harmonique. La simulation du modèle large signal repose sur l'utilisation d'un simulateur de l'équilibre harmonique par lequel le circuit linéaire est simulé dans le domaine fréquentiel, le circuit non linéaire est simulé dans le domaine temporel. L'analyse temporelle est basée sur la source de courant contrôlée par une tension du schéma équivalent petit signal sous forme d'équation définissant I_{ds} , I_{dg} , et I_{gs} comme présenté dans la Figure 2.13. Tous les modèles large signal des transistors FET nécessite une équation pour prédire le courant I_{ds} . Cette équation peut être modélisée par les mesures des caractéristiques DC I-V: la mesure de I_{ds} à plusieurs valeurs de

V_{gs} en balayant la tension V_{ds} et en faisant un ajustement d'une équation approprié pour les données. Deux autres paramètres à caractériser sont les modèles de charges des capacités C_{gs} et C_{gd} [5].

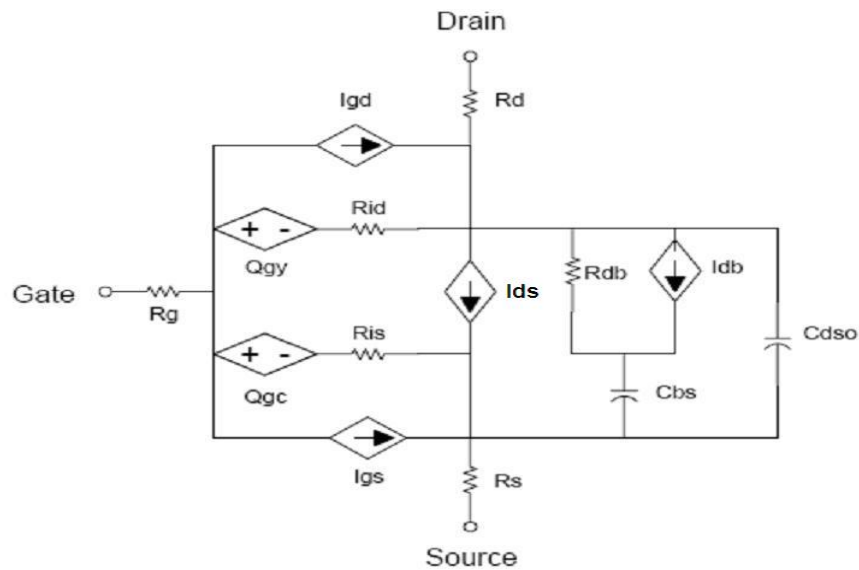


Figure 2.13: Schéma équivalent électrique non linéaire du modèle Agilent EEHEMT.

2.7.2 Technique de modélisation grand signal utilisé

Le processus de modélisation grand signal utilisé est réalisé à l'aide des technologies d'Agilent: le logiciel IC-CAP de modélisation et de mesure automatique.

Les modèles grand signal non linéaire fondamentaux des FETs utilisé par IC-CAP sont : le modèle de Curtice quadratique, le modèle de Curtice Ettenberg cubique et le modèle EE-HEMT. Les deux premiers modèles sont plus appropriés pour les transistors GaAs MESFET tandis que le modèle EE-HEMT qui est celui utilisé dans ce travail est utile pour les transistors à hétérojonction HEMT et pHEMT.

La théorie du modèle non linéaire EE-HEMT est discutée en détail dans [5] tandis que tous les paramètres du modèle sont présentés dans l'Annexe 3.

Au cours de l'extraction du modèle grand signal non linéaire EE-HEMT, une série de configuration différentes de IC-CAP sont utilisées pour mesurer le courant, la tension, les paramètres S pour différentes conditions de polarisation et pour différentes fréquences. Les paramètres du modèle EE-HEMT sont ensuite extraits à partir des mesures.

2.7.3 Extraction du modèle non linéaire pour les transistors utilisé dans ce travail

Le modèle choisi pour ce travail est le modèle EE-HEMT non linéaire (EEsof Scalable Non Linear HEMT Model) disponible dans ADS. Il est empirique qui analyse les caractéristiques mesurées pour le meilleur ajustement des transistors GaAs FET et les HEMTs. Ce modèle EE-HEMT non linéaire est appliqué pour les transistors fabriqués déjà mentionnés (section 2.5.5), utilisant les paramètres S et les mesures DC, les deux types de mesures sont automatisés par le logiciel de modélisation IC-CAP. Les paramètres du modèle extrait sont ensuite exportés de IC-CAP pour ADS (CAD) où des algorithmes d'optimisation sont appliqués jusqu'à ce que les modèles des caractéristiques DC et RF aient une excellente concordance avec les mesures.

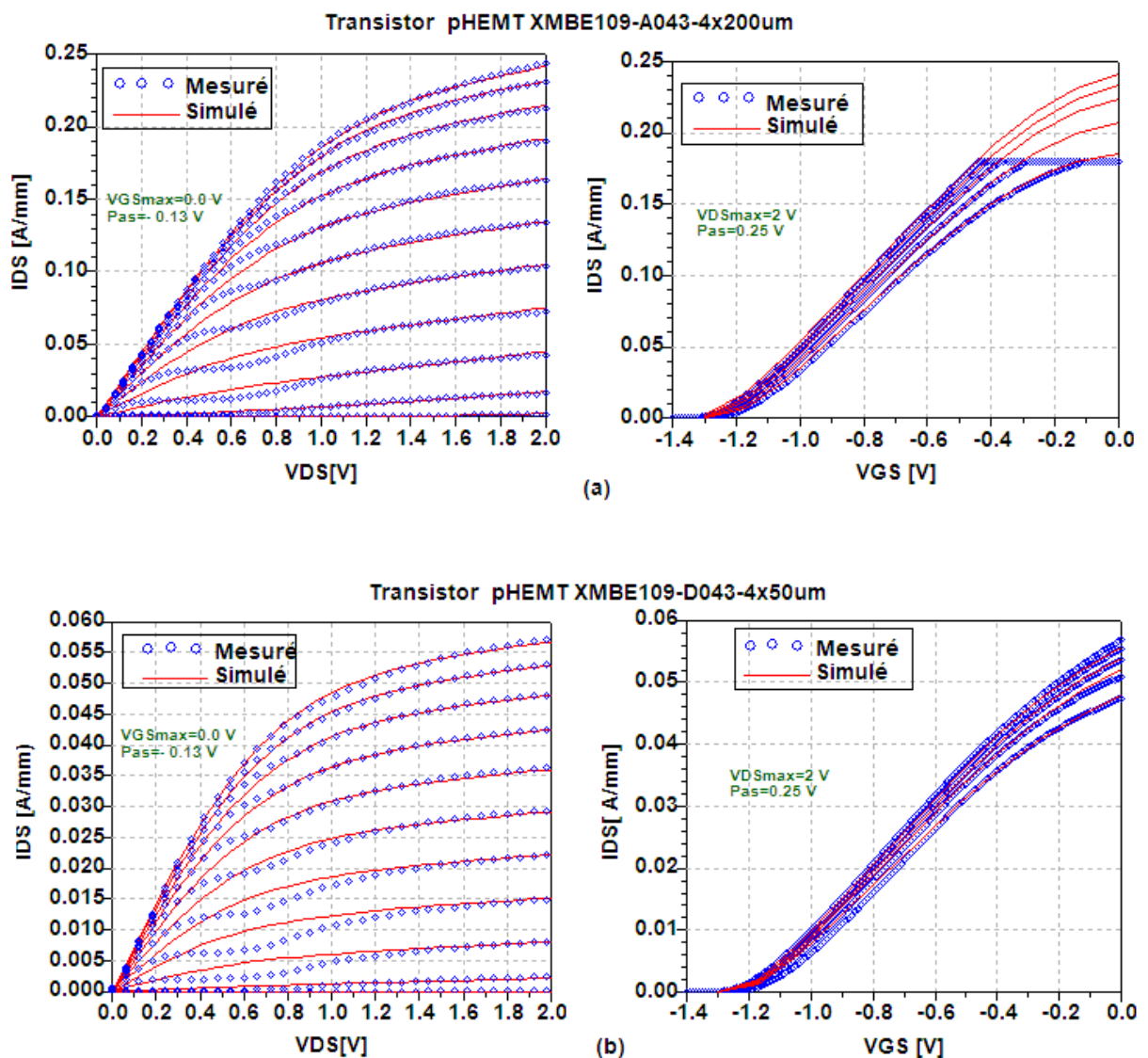


Figure 2.14: Comparaison entre les caractéristiques DC calculées et celles mesurées des transistors pHEMT InGaAs-AlGaAs-InP: (a) XMBE-A043-4x200 μ m ; (b) XMBE-D073-4x50 μ m .

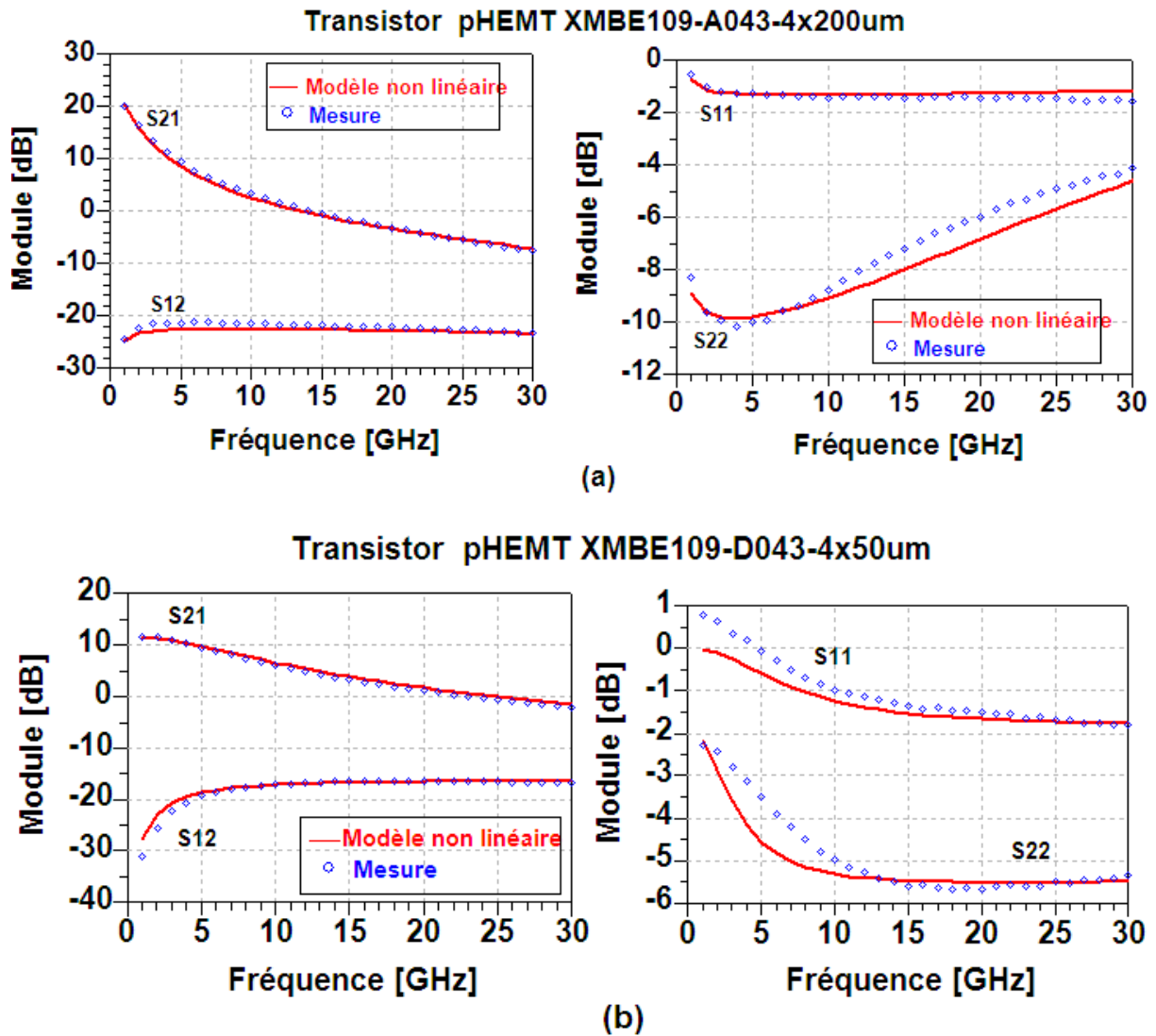


Figure 2.15 : Comparaison entre les caractéristiques RF non linéaires calculées et celles mesurées des transistors pHEMT InGaAs-AlGaAs-InP: (a) XMBE-A043-4x200 μ m; (b) XMBE-D073-4x50 μ m.

2.8 Récapitulation

Au cours de ce chapitre, on a présenté les schémas électriques équivalents pour extraire les paramètres des modèles petit signal et grand signal. On remarque une bonne concordance entre les caractéristiques reproduites et les caractéristiques mesurées

2.9 Bibliographie

- [1] M. Guyonnet, "Modélisation Electrothermique Non Linéaire de Transistors de Puissance LDMOS: Application à la Détermination de Règles d'Echelle", *Thèse Doctorat, l'université de Limoge*, 2005.
- [2] A. El-Oualkado, "Analyse comportementale des filtres à capacités commutées pour les radiocommunications : Conception d'une nouvelle architecture en technologie BiCMOS 0,35 μ m", *Thèse Doctorat, l'université de Poitiers*, 2004
- [3] S. De-Meyer, "Etude d'une nouvelle filière de composants HEMTs sur technologie nitrure de gallium. Conception d'une architecture flip-chip d'amplificateur distribué de puissance à très large bande", *Thèse de Doctorat, Université de Limoges*, Septembre 2005.

- [4] A. Siligaris, "Modélisation grand signal de MOSFET en hyperfréquence : application à l'étude des non linéarité des filtres SOI", *thèse de Doctorat, université des sciences et de technologies de Lille*, 2004
- [5] W. Clausen, "Small signal and Modeling of MM-Wave MHEMT Devices", *thesis of Master, university of South Florida*, October 2003.
- [6] W.R. Curtice, M. Ettenberg, "A Nonlinear GaAs FET Model for Use in the Design of Output Circuits for Power Amplifiers"; *IEEE Trans Microwave Theory Tech*, 1985. 33(12): p. 1383-1394.
- [7] W. R Curtice, "A MESFET Model for Use in the Design of GaAs Integrated Circuits", *IEEE Trans Microwave Theory Tech*, 1980. 28(5): p. 448-455.
- [8] T. Kacprzak, A. Materka, "Compact dc Model of GaAs FET's for Large-Signal Computer Calculation", *IEEE Journal of Solid-State-Circuits*, 1983. 18(2): p. 211-213.
- [9] H. statz, P.Newman, IRL.W. Smith et al, "GaAs FET Device and Circuit Simulation in SPICE", *IEEE Trans Electron Device*, 1987. 34(2): p. 160-169.
- [10] I. Angelov, and N. Rorsman, "A New Empirical Nonlinear Model for HEMT and MESFET Devices", *IEEE Trans Microwave Theory Tech*, 1992. 40(12): p. 2258-2266.
- [11] I. Angelov, and N. Rorsman, et al, "An Empirical table-Based FET Model", *IEEE Trans Microwave Theory Tech*, 1999. 47(12): p. 2350-2357.
- [12] E. Byk, "Méthodes d'analyse couplés pour la modélisation de composants et modules millimétriques de forte puissance", *Thèse de Doctorat, Université de Limoges, France*, 2002.
- [13] G. Six, "Optimisation d'une technologie 3D pour la réalisation de circuit intégrés millimétriques sur substrat de silicium", *Thèse de Doctorat, Université de Lille, France* 2004.
- [14] G. Dambrine, A. Cappy, "A new method for determination the FET small-signal equivalent circuit", *IEEE Trans. Microwave Theory Tech.*, vol. 36, July 1988.
- [15] M. Berroth, R. Bosh, "Broad-band determination of the FET small-signal equivalent circuit", *IEEE Trans. Microwave Theory Tech.*, vol. 38, July 1990.
- [16] D. A. Freckey, "Conversion between S, Z, Y, h ABCD and T Parameters which are valid of Complex Source and Load Impedance", *IEEE Trans. Microwave Theory Tech.*, vol. 42, February 1994.
- [17] R. Anholt and S. Swirhun, "Equivalent circuit parameter for cold GaAs MESFETs", *IEEE Trans. Microwave Theory Tech.*, vol. 39, July 1991.
- [18] A. Caddemi, G. Crupi, N. Donato, "Microwave characterization and modeling of packaged HEMTs by a direct extraction procedure down to 30K", *IEEE Trans. Microwave Theory Tech.*, vol. 55, April 2006.
- [19] R. Anholt, S. Swirhun, "Measurement and analysis of GaAs MESFET parasitic capacitances", *IEEE Trans. Microwave Theory Tech.*, vol. 39, July 1991.
- [20] A. G. Sobhi, " MMIC broadband low noise amplifier for SKA application" *PhD Thesis, University of Manchester, England*, 2007.
- [21] Y.A. Khalaf, "Systmatic optimization technique for MESFET modeling", *PhD Thesis, University of Virginia, USA*, 2000.
- [22] Z. Hamaizia et al., "Modélisation petit signal du transistor pHEMT et analyse des performances hyperfréquences", *5th International Conference on Sciences of Electronics*,

Technologies of Information and Telecommunications (SETIT09), March 22–26, Hammamet, Tunisia (2009).

- [23] G. Chen, V. Kumar, R.S. Schwindt, I. Adesida, "A low gate bias model extraction technique for AlGa_N/Ga_N HEMTs", *IEEE Trans. Microwave Theory Tech.*, vol. 54, July 2006.
- [24] P.M. White, R.M. Healy, "Improved equivalent circuit for determination of MESFET and HEMT parasitic capacitances from cold FET measurements", *IEEE Microwave Guided Wave Lett.*, vol. 3, Dec. 1993.
- [25] E. Chigaeva, W. Walth, D. Wiegner, M. Grözing, F. Schaich, N. Wierser, M. Berroth, "Determination of small signal parameters of Ga_N based HEMTs", *IEEE/Cornell Conf. of High Performance Devices, Cornell University, Ithaca, USA*, 2000, pp. 115-122.
- [26] K. Shirakawa, H. Oikawa, T. Shimura, Y. Kawasaka, Y. Ohasi, T. Saito, "An approach to determining an equivalent circuit for HEMTs", *IEEE Trans. Microwave Theory Tech.*, vol. 43, March 1995.
- [27] L.T. Wurtz, "GaAs FET and HEMT small-signal parameter extraction from measured S-parameters", *IEEE Trans. Instrumentation Measurement*, vol. 43, August 1994.
- [28] B.S. Kim, S. Nam, K.S. Seo, "Analytic intrinsic Model based parasitic extraction method for HEMTs", *Electronics Letters*, vol. 30, June 1994.
- [29] C. H. Oxley, M.J. Uren, "Measurement of unity gain cutoff frequency and saturation velocity of a Ga_N HEMT transistor", *IEEE Trans. Electron Devices*, vol. 52, Feb. 2005.
- [30] F. Lin, G. Kompa, "FET model parameter extraction based on optimisation with multiplane data-fitting and bidirectional search - A new concept", *IEEE Trans. Microwave Theory Tech.*, vol. 42, July 1994.
- [31] J. Mateos, T. Gonzalez, D. Pardo, S. Bollaert, T. Parenty, "Design optimization of AlInAs-GaInAs HEMTs for low-noise applications", *IEEE Trans. Electron Devices*, vol. 51, August 2004.
- [32] J. Sik, B. Sung, S. Nam, "A new method for the determination of the extrinsic resistances of MESFETs and HEMTs from the measured S-parameters under active bias", *IEICE Trans. Electron.*, vol. E85-C, March 2002.
- [33] P. Pouvil, B. Zémour, D. Pasquet, J. Gaubert, "Determination of source and drain parasitic resistance of HEMTs", *Electron Letters*, vol. 28, March 1992.
- [34] V. Cuoco, W.C.E. Neo, L.C.N. de Vreede, H.C. De Graaff, L.K. Nanver, K. Buisman, H.C. Wu, H.F.F. Jos, J.N. Burghartz, "A new extraction technique for the series resistances of semiconductor devices based on the intrinsic properties of bias dependent Y parameters", *IEEE BCTM* 2004.
- [35] Yuhua Cheng et al, "A Physical and Scalable – Model in BSIM3v3 for Analog/Digital Circuit Simulation" *IEEE Trans. Electron Devices*, vol. 44, no. 2, February 1997 277.
- [36] Fukui, H., "Design of Microwave GaAs MESFET'S for Broad-Band Low-Noise Amplifiers", *IEEE Trans. Microwave Theory Tech.*, vol. 27, 1979.

Chapitre 3

Méthodologie de conception des circuits MMICs

1.3 Introduction

Les circuits intégrés monolithiques microondes (MMICs) ont acquis un rôle important dans les stratégies de développement depuis le début des années 80. Les MMICs sont désormais présents dans les équipements actifs hyperfréquences pour des applications grand public telles que les télécommunications par satellite, la téléphonie mobile, l'automobile avec le radar anticollision, l'Internet ou encore les systèmes de guidage par satellites.

Dans le domaine des hyperfréquences (1-30 GHz), les techniques classiques de synthèse, appliquées à la conception de circuits actifs tels que les amplificateurs faible bruit, ne permettent pas de connaître à priori les éléments constitutifs des réseaux d'adaptation qui sont difficile à les concevoir; le concepteur se doit alors de fixer arbitrairement ces éléments à partir desquels se fait l'optimisation. Cette optimisation peut alors se révéler coûteuse en temps, difficile et sans aucune garantie de convergence satisfaisante pour le résultat final. Cette phase de conception est d'autant plus ardue que le nombre de paramètres à optimiser est important et que la bande de travail est large. D'autre part, la plupart des méthodes d'aide à la conception sont basées sur l'utilisation d'un modèle équivalent de transistor ne reflétant pas forcément exactement le comportement réel de ce dernier. Dans cette partie, nous présenterons une étude de la conception des circuits MMICs et nous focaliserons uniquement sur quelques points: le premier point abordé est le choix des composants actifs, qui vont constituer le cœur des circuits MMIC; ensuite, nous présenterons la conception des amplificateurs faible bruit large bande, qui sont des circuits très représentatifs des circuits MMIC [1-3].

3.2 Les circuits intégrés microondes monolithiques MMIC

Les circuits intégrés microondes monolithiques, plus communément appelés circuits MMIC (pour *Monolithic Microwave Integrated Circuits*) sont des composants qui constituent le cœur d'un grand nombre d'applications, civiles et militaires, des systèmes de télécommunication sans fil et mobile, aux applications automobiles, en passant par les radars ou encore les applications aérospatiales et radio télescope. Les fonctions réalisables à l'aide de ces circuits MMIC sont très variées, amplificateurs faible signal ou de puissance, oscillateurs, déphaseurs, mélangeurs, multiplicateurs ou diviseurs de fréquence [1-4]. Les principaux enjeux pour ces

circuits MMIC sont de fait leurs performances, mais aussi leur temps de développement et bien entendu leur coût de production.

Les fonctions élémentaires hyperfréquences que nécessitent les modules d'émission réception sont désormais exclusivement réalisées grâce à la technologie MMIC. La technologie MMIC signifie l'association d'éléments actifs (diodes, transistors) et d'éléments passifs localisés (résistance, capacité,..) ou répartis (ligne de transmission) sur le même substrat semi-conducteur. Le terme « monolithique » traduit cette distinction par rapport aux circuits dits hybrides, qui comportent des composants actifs et passifs discrets, assemblés sur un substrat commun. Les circuits MMICs présentent de nombreux avantages par rapport aux circuits hybrides et également quelques inconvénients.

3.2.1 Les avantages et les inconvénients des MMICs

Les circuits MMIC deviennent bon marché lorsqu'ils sont produits en grande quantité, et ce d'autant plus pour des circuits complexes, comprenant un grand nombre de transistors. En revanche, pour des circuits simples, utilisant seulement quelques transistors et des circuits passifs, les circuits hybrides peuvent être moins chers, avec l'utilisation de transistors « packagés ». La reproductibilité des circuits MMIC est excellente, tandis qu'elle est faible pour les circuits hybrides, à cause du placement des composants et des fils de « bonding ». Il en va de même pour la fiabilité des circuits. Les circuits MMICs présentent également moins de parasites, ce qui permet une bande passante plus grande et des fréquences plus hautes. Cependant, la surface est un point crucial des circuits MMIC, qui doivent être les plus petits possibles, alors que le coût des substrats est faible pour les circuits hybrides. Enfin, le choix de composants est très limité pour les circuits MMIC, et le cycle de fabrication est long.

La technologie hybride microonde (HMIC: hybrid microwave Integrated Circuits) à laquelle succède la technologie MMIC consiste en l'association de composants actifs et d'éléments passifs discrets reportés sur le même substrat.

La technologie MMIC présente de nombreux avantages. Les coûts de réalisation sont faibles pour une grande quantité. Les dimensions et poids des circuits sont réduits ainsi que le nombre d'éléments dans un circuit. La technologie MMIC offre une meilleure précision en haute fréquence, une absence de réglages a posteriori et une bonne fiabilité [4].

3.3 Méthodologie de conception des MMICs

La conception de circuits intégrés monolithiques reste une tâche difficile et son succès dépend des simulations réalisées pour les outils de CAO. Toute réalisation technologique étant extrêmement onéreuse, il est indispensable, avant la fabrication d'un circuit, d'en prévoir le

fonctionnement de la façon la plus exacte possible. Par conséquent, il est nécessaire de disposer de modèles non-linéaires, précis, fiables et compatibles avec les outils de CAO actuellement disponibles. Les méthodes de simulation utilisées aujourd'hui pour la conception de circuits reposent essentiellement sur une modélisation des éléments linéaires et non linéaires constituant le circuit. Chaque élément d'un système MMIC nécessite l'utilisation de modèles permettant de simuler des phénomènes électriques et thermiques complexes [5, 6] La méthodologie de conception est résumée dans l'organigramme de la Figure 3.1.

3.4. Conception d'un amplificateur faible bruit LNA

3.4.1 Définition

L'amplificateur à faible bruit ou LNA (Low Noise Amplifier) constitue l'amplificateur de tête de la chaîne de réception. Les amplificateurs à faible bruit sont utilisés pour augmenter la puissance du signal RF tout en diminuant le bruit. L'amplificateur à faible bruit (LNA) est un des blocs fonctionnels de base du système de communication. Le but du LNA est d'amplifier le signal reçu aux niveaux acceptables tout en réduisant au minimum le bruit qu'il s'ajoute. La formule de Friis (3.1) montre que plus un amplificateur est en amont et plus fort est son gain, plus son influence sur le bruit global est significative. La conception d'un LNA doit donc être un compromis entre le facteur de bruit et le gain [7-11].

$$NF = NF_1 + \sum_{k=2}^n \frac{F_k - 1}{\prod_{i=1}^{k-1} G_i} \quad (3.1)$$

L'entrée doit donc être particulièrement soignée en terme de facteur de bruit alors que la formule (3.1) montre que le dernier étage doit être étudié afin de limiter les non-linéarités [12].

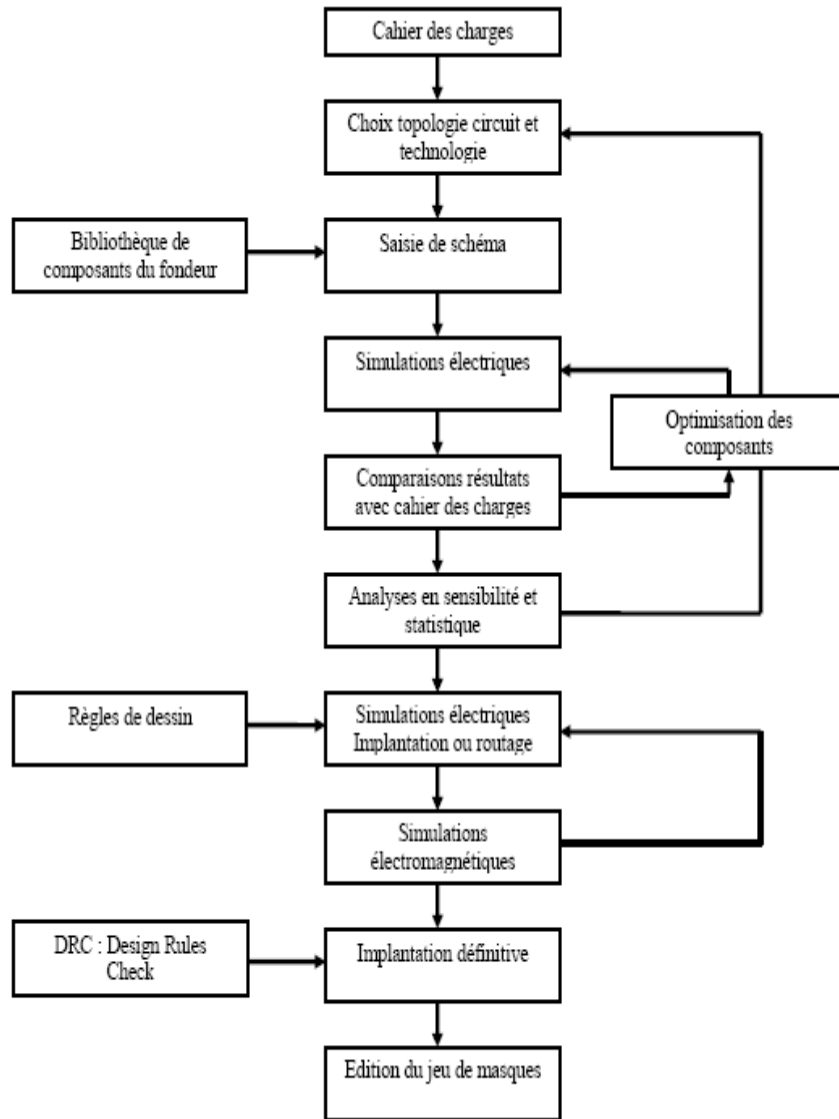


Figure 3.1: Organigramme de conception d'un circuit intégré microondes.

3.4.2 Méthode de conception

La procédure de la conception de l'amplificateur est montrée dans la Figure 3.2. Les paragraphes suivants présentent les simulations des différentes étapes de la conception du LNA:

3.4.2.a Influence de la topologie et de la technologie du transistor

Le concepteur de circuits MMIC, lorsqu'il dessine un circuit, a un vaste choix de technologies de composants actifs. Les principales technologies de transistors pour les circuits MMIC sont fabriquées à partir d'arséniure de gallium (AsGa) ou de Silicium (Si).

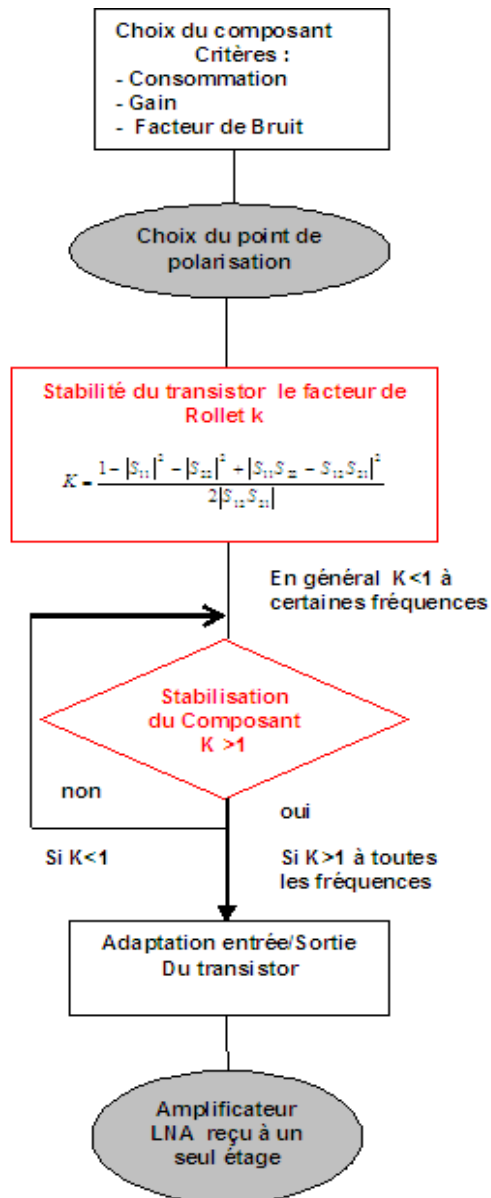


Figure 3.2: Méthode de conception d'un amplificateur LNA.

L'AsGa a très longtemps dominé le développement des circuits MMIC, et encore aujourd'hui, la grande majorité des circuits MMIC au-dessus de quelques GHz sont fabriqués à partir d'AsGa. Mais c'est assurément la technologie à partir de phosphore d'indium (InP) qui permet d'atteindre les meilleures performances à très haute fréquence.

Enfin, de nouvelles technologies apparaissent pour les applications à forte puissance, avec les matériaux grands gap tels que le nitrure de gallium (GaN).

Finalement, Le choix d'une technologie dépend du domaine d'application du circuit à concevoir, ainsi que des spécifications de celui-ci en terme de performances.

3.4.2.b Choix du point de polarisation

Le point de polarisation est le premier paramètre qu'il faut fixer avant d'entreprendre toute conception. Le choix de la classe de polarisation : les classes de fonctionnement (A, B, AB, C, D, E, F ...) permettent d'optimiser les formes d'ondes de l'amplificateur, chacune de ces classes ayant une application particulière soit pour avoir un rendement optimum soit une puissance de sortie maximale.

Les performances optimales en bruit de l'amplificateur dépendent du type de transistor utilisé. Actuellement les HEMTs sont les transistors faible bruit les plus appropriés. Il dépend aussi de la polarisation du transistor. Le facteur de bruit minimal est sensible au courant de drain I_{DS} et à la tension de drain V_{DS} qui définissent pris ensemble, une polarisation. L'influence de NF_{min} avec la polarisation est donc observée à partir de son évolution en fonction de ces deux paramètres (Figure 3.3). Le facteur de bruit minimum NF_{min} est inversement proportionnel à I_{DS} .

Il existe de nombreuses configurations possibles pour polariser un transistor en HF. La plus simple est représentée sur la Figure 3.4. Le principe est d'isoler les signaux continus de ceux HF avec une inductance. Comme cette dernière n'est pas idéalement un circuit ouvert pour les HF, elle est accompagnée d'une capacité de découplage reliée à la masse pour évacuer les signaux résiduels.

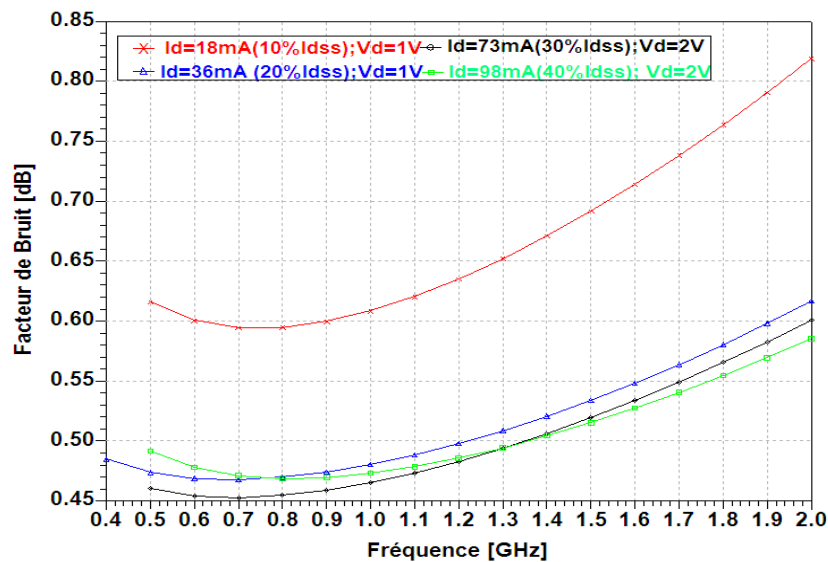


Figure 3.3: Influence du choix des conditions de polarisation (V_{DS} , I_D) sur le facteur de bruit.

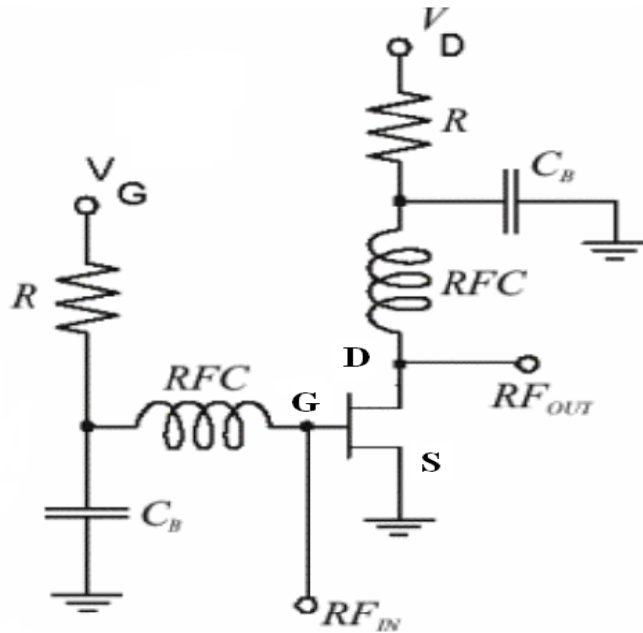


Figure 3.4: Circuit de polarisation d'un transistor en HF.

Le choix du point de polarisation est critique dans la conception d'amplificateurs. L'amplificateur faible bruit fonctionne toujours dans la classe A, typiquement caractérisé par un courant égale à 15-20% de son courant utile maximum. La classe A est caractérisée par un point de fonctionnement plus ou moins au centre de la valeur maximale de courant et de tension du transistor utilisé, et par un courant et une tension RF relativement faible par rapport au point de polarisation. Les circuits de polarisation servent à assurer la polarisation continue des transistors de chaque étage amplificateur, sans pour autant perturber le fonctionnement de l'amplificateur.

3.4.2.c. Stabilité

La stabilité d'un transistor est sa résistance à l'oscillation dans la bande de fréquence étudiée. L'étude de la stabilité d'un amplificateur est important afin d'éviter toute oscillation de l'étage, pouvant entraîner le dysfonctionnement de celui-ci. L'analyse de la stabilisation d'un transistor est un point essentiel pour la conception d'un amplificateur. En effet le bon fonctionnement d'un circuit peut être perturbé par la présence d'oscillations. Ces oscillations sont d'autant plus gênantes qu'elles peuvent apparaître en dehors de la bande de fonctionnement de l'amplificateur c'est pourquoi il est nécessaire de le rendre stable à toutes les fréquences [13].

Il arrive fréquemment qu'un dispositif amplificateur oscille en hyperfréquence lorsque l'on cherche à en optimiser le gain. Comme dans ce cas il ne fonctionne plus en régime linéaire,

l'oscillation détruit le travail d'optimisation réalisé. Nous allons chercher un critère nous permettant d'éviter cette oscillation.

- Facteur de Rollet ou facteur K

L'étude de la stabilité linéaire s'effectue à partir d'une analyse de paramètre [S] sur un quadripôle: il s'agit de la méthode du facteur K. Elle consiste à charger successivement l'entrée et la sortie du quadripôle par une impédance passive, ayant le module de son coefficient de réflexion inférieur à l'unité. La stabilité peut être évaluée par les coefficients de réflexion [14-21]. Les conditions nécessaires et suffisantes de stabilité sont données par:

$$|\Gamma_S| < 1 \quad (3.2.a)$$

$$|\Gamma_L| < 1 \quad (3.2.b)$$

$$|\Gamma_{IN}| = \left| S_{11} + \frac{S_{12}S_{21}\Gamma_L}{1 - S_{22}\Gamma_L} \right| < 1 \quad (3.2.c)$$

$$|\Gamma_{OUT}| = \left| S_{22} + \frac{S_{12}S_{21}\Gamma_S}{1 - S_{11}\Gamma_S} \right| < 1 \quad (3.2.d)$$

$$\Delta = S_{11}S_{22} - S_{12}S_{21} \quad (3.2.e)$$

Où Γ_S , Γ_L , Γ_{IN} , et Γ_{OUT} représentent les coefficients de réflexion de la source, de la charge, d'entrée et de la sortie respectivement.

En exprimant les coefficients de réflexion en fonction des paramètres [S] (3.2.c) et (3.2.d) et avec les conditions (3.2.a) et (3.2.b), nous obtenons les conditions de stabilité suivantes:

$$K = \frac{1 - |S_{11}|^2 - |S_{22}|^2 + |\Delta|^2}{2|S_{12}S_{21}|} > 1 \quad (3.3)$$

$$|\Delta| < 1 \quad (3.4)$$

Ce facteur est communément appelé «coefficient de stabilité ou facteur de Rollet». Pratiquement, on constate que lorsque ce dernier est supérieur à l'unité alors le système peut être considéré comme inconditionnellement stable. Dans le cas d'un transistor, cela signifie que l'on pourra l'adapter en entrée comme en sortie par ses impédances optimale pour obtenir le maximum de gain de transducteur et le minimum figure de bruit.

Il existe plusieurs manières de stabiliser un transistor (contre réaction série, contre réaction parallèle, éléments en parallèle ou en série sur la grille et le drain) [22].

Pour améliorer la stabilité du transistor, nous devons charger le transistor de façon à diminuer son gain et donc augmenter le facteur de Rollet. Une solution possible est de concevoir un circuit de polarisation tel qu'il influence peu le comportement du transistor dans la bande de fréquences où il est inconditionnellement stable, mais qu'il constitue une charge importante ailleurs de façon à abaisser le gain.

3.4.2.d. L'adaptation

Il est en effet nécessaire que l'amplificateur délivre un signal dont la puissance soit la plus constante possible sur toute sa bande de fonctionnement. Pour cela, il faut réaliser une adaptation, sur toute la bande de fréquence, de l'élément actif qui fournit cette puissance. Lors de la réalisation d'un amplificateur, on souhaite obtenir un maximum de gain, aussi constant que possible sur toute la bande de fréquence. Pour ce faire, il s'agit d'adapter le transistor à l'entrée et à la sortie au sens du maximum de transfert de puissance, adapter un amplificateur consiste à réaliser d'une part un transfert maximal de puissance entre la source et le transistor et d'autre part entre le transistor et la charge. Les circuits d'adaptation d'entrée et de sortie sont employés pour augmenter la stabilité qui est en d'autres termes sa résistance à osciller qui est très importante dans la conception. Toute la difficulté est de conserver une bonne adaptation d'impédance sur une large bande de fréquences [23-25]

En fonction de la puissance souhaitée en sortie de l'amplificateur, il existe deux méthodes d'adaptation de l'amplificateur:

-Adaptation afin d'obtenir le maximum de gain sur l'étage: Il faut alors présenter les impédances Z_S , Z_L ou coefficient de réflexion Γ_S , Γ_L en entrée et en sortie respectivement.

-Adaptation afin d'obtenir le maximum de puissance en sortie de l'étage

La notion de gain est liée à la transmission de puissance et donc à l'adaptation d'impédance. Intuitivement, si l'on veut amplifier un signal, il convient d'abord de le récupérer correctement. En prenant l'exemple de la figure 3.5, nous allons définir l'impédance optimale Z_L permettant de recueillir le maximum de puissance fournie par la source V_S , en fonction de son impédance Z_S .

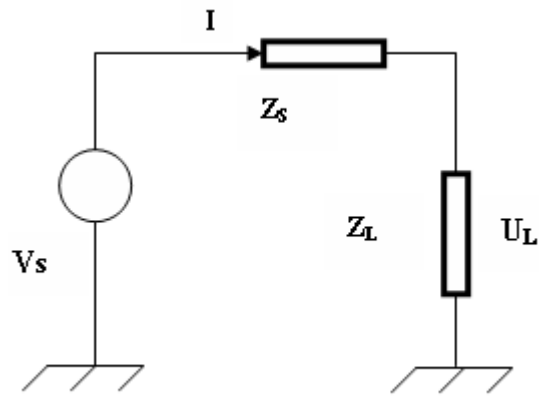


Figure 3.5: Adaptation d'impédance.

La puissance consommée par la charge s'écrit:

$$P_L = U_L I^* \quad (3.5)$$

Où I^* est le complexe conjugué du courant I .

La dérivée de cette expression (équation 3.5), on obtient alors les conditions dites d'adaptation d'impédance assurant un maximum de transfert de puissance de la source vers la charge:

$$Z_S = Z_L^* \quad (3.6.a)$$

En appliquant ce résultat à un système deux ports (Figure 3.6), on obtient les conditions d'adaptations optimales permettant un maximum de transfert de puissance entre deux étages :

$$Z_S = Z_{IN}^* \quad (3.6.b)$$

$$Z_L = Z_{OUT}^* \quad (3.6.c)$$

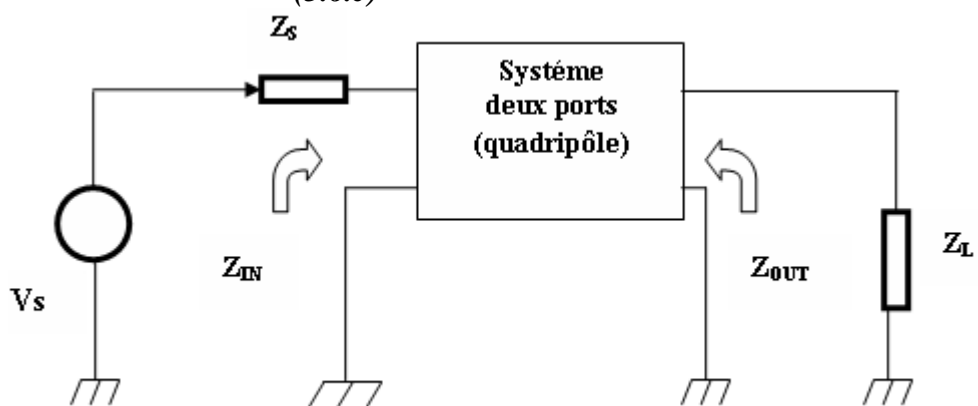


Figure 3.6: Adaptation d'impédance d'un bloc dans une chaîne.

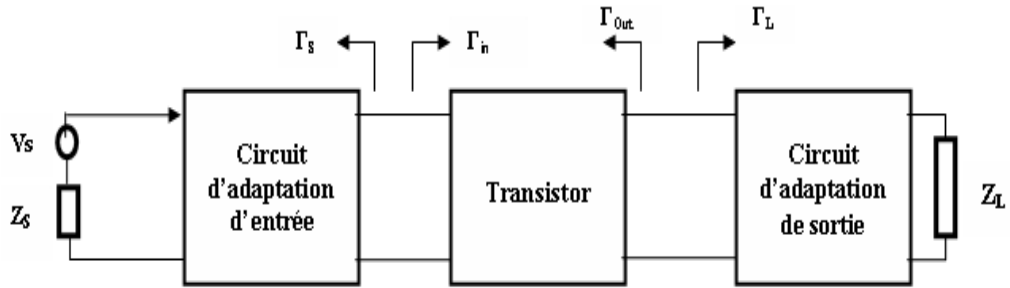


Figure 3.7: Adaptation d'impédance d'un amplificateur à transistor.

L'adaptation est obtenue aussi pour $\Gamma_S = \Gamma_{IN}^*$ et $\Gamma_L = \Gamma_{OUT}^*$ (Figure 3.7). Les paramètres Γ se calculent à l'aide de la matrice de répartition du transistor (équations 3.2.c et 3.2.d).

Cette étape de conception est d'autant plus importante qu'elle va conditionner l'optimisation du gain de l'étage mis en cause.

Il existe des techniques basées sur l'effet transistor permettant de réaliser à la fois une adaptation d'impédance d'entrée à 50Ω ainsi qu'une adaptation d'entrée au bruit. En pratique on va faire coïncider les adaptations pour une fréquence donnée (avec quelques compromis) afin de satisfaire les deux domaines figure de bruit minimal (NF_{min}) et gain maximal (G_{max}). L'optimisation simultanée (Figure de bruit minimale et gain maximal) ne peut normalement pas être réalisée. Les sens de variation de ces caractéristiques étant opposés.

3.4.2.e Les différents circuits d'adaptation

Les réseaux d'adaptation prennent généralement la forme de filtres passe-bas ou passe-bande, et permettent donc d'effectuer une sélection en fréquence. Cependant, leur rôle premier est bien de réaliser l'adaptation d'impédance, afin d'assurer un transfert maximum d'énergie entre l'entrée et la sortie de l'amplificateur. En réalité, on parle d'adaptation d'impédance sur l'entrée de l'amplificateur, mais pour le circuit inter-étage et le circuit de sortie, on parlera plus facilement de transformation d'impédance, transformation qui va dépendre essentiellement de la puissance requise.

❖ Adaptation d'entrée

Le circuit d'adaptation d'entrée a pour rôle d'adapter l'entrée du (ou des) transistors du premier étage sur l'impédance interne du générateur, ou sur un standard d'impédance pour la connexion avec un autre circuit (généralement 50Ω). Il doit permettre d'obtenir un bon coefficient de réflexion fort signal mais aussi petit signal ($< -10\text{dB}$) tout en présentant un minimum de pertes d'insertion.

❖ Adaptation inter-étage

Le circuit d'adaptation inter-étage a pour rôle de transférer le maximum d'énergie d'un étage amplificateur à l'autre. La réalisation de ce circuit est plus complexe, car il s'agit d'effectuer une transformation d'impédance entre deux impédances complexes, et souvent très différentes l'une de l'autre. En effet, l'impédance optimale de sortie d'un étage est généralement très éloignée de l'impédance optimale d'entrée de l'étage suivant. Du fait de la complexité de ce type de circuit, d'autant plus lorsque l'on veut travailler sur une bande de fréquence large, celui-ci entraîne des pertes qui dépendent de la technologie des passifs utilisés, du rapport de transformation d'impédances et de la fréquence.

❖ Adaptation de sortie

Le circuit d'adaptation de sortie doit permettre de présenter au transistor son impédance de charge fort signal optimale, c'est-à-dire réaliser la transformation d'impédance de cette impédance optimale à partir de l'impédance de charge de l'amplificateur (classiquement 50Ω). De plus, ce circuit doit présenter le minimum de pertes, ces pertes étant cruciales en sortie de l'amplificateur pour les performances en rendement et en puissance.

3.5 Les performances des amplificateurs RF

Toute conception de circuit microonde (amplificateur, oscillateur) commence par la définition des spécifications, relatives au cahier des charges, qui représentent les objectifs devant être atteints par le futur circuit. Ces spécifications déterminent les choix du concepteur vis-à-vis de la sélection de la technologie utilisée, de la topologie du circuit, mais également des analyses et méthodes CAO, nécessaires à atteindre ces objectifs.

Les différentes architectures qui existent pour les systèmes radiofréquences utilisent toutes des fonctions de base qui se caractérisent en fonction de leurs spécifications: gain, bruit, linéarité, etc.

L'amplification faible bruit est une fonction primordiale de toute chaîne de réception. En effet, ses caractéristiques en bruit et gain conditionnent très fortement la performance en bruit de toute la chaîne (formule de Friis équation 3.1). La performance en linéarité est aussi importante. Ces trois caractéristiques influent sur la gamme de puissance des signaux que peut traiter la voie de réception. Cette gamme est limitée pour deux raisons, premièrement pour de faibles puissances, l'amplitude minimale du signal détectable est déterminée par le bruit de l'amplificateur « LNA » et deuxièmement, pour de fortes puissances pour lesquelles

l'amplitude du signal est limitée par les signaux brouilleurs qui, par intermodulation, retombent dans le canal utile et gênent ainsi la réception [26].

3.5.1 Gain

Suivant que l'on considère les puissances injectées réelles ou disponibles, plusieurs définitions du gain sont possibles. La Figure 3.8 présente un réseau RF à deux ports [5, 13, 17-20]

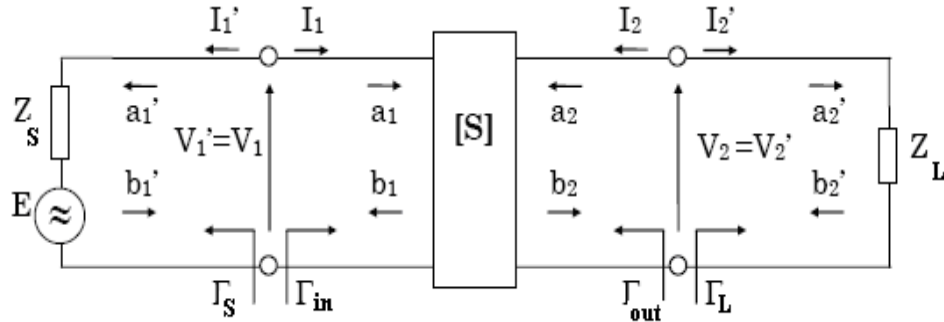


Figure 3.8: Réseau à deux ports présenté avec les coefficients de réflexion.

❖ Gain en puissance :

C'est le rapport entre la puissance délivrée par le transistor et la puissance délivrée par la source d'excitation, ce gain est indépendant de l'adaptation d'entrée mais ne dépend que de l'adaptation de sortie. Soit :

$$G_p = \frac{P_s}{P_e} \quad (3.7.a)$$

$$G_p = \frac{|b_I|^2}{|a_I|^2 - |b_I|^2} \quad (3.7.b)$$

Où a_1, b_1 sont respectivement l'onde incidente et l'onde réfléchie de l'entrée du réseau (Figure 3.8); a_2, b_2 sont l'onde incidente et l'onde réfléchie de la sortie respectivement.

Il est ainsi indépendant de la source Z_L . Aussi, si pour simplifier les calculs l'entrée est adaptée, le gain s'écrit :

$$G_p = \frac{|S_{21}|^2 (1 - |\Gamma_L|^2)}{(1 - |\Gamma_{in}|^2) |1 - S_{22} \Gamma_L|^2} = \frac{|S_{21}|^2 (1 - |S_{22}|^2)}{(1 - |\Gamma_S|^2) (1 - |S_{22}|^2)} \quad (3.7.c)$$

❖ *Gain transducique :*

C'est le rapport entre la puissance délivrée par le transistor et la puissance réellement injectée (ou puissance incidente) dans le transistor. Il dépend donc de l'adaptation de sortie et de l'adaptation d'entrée. Soit :

$$G_T = \frac{P_s}{P_{inc}} \quad (3.8.a)$$

$$G_T = \frac{|S_{21}|^2 (1 - |\Gamma_s|^2) (1 - |\Gamma_L|^2)}{|1 - \Gamma_{OUT} \Gamma_L|^2 |1 - S_{11} \Gamma_s|^2} = \frac{|S_{21}| (1 - |\Gamma_s|^2) (1 - |\Gamma_L|^2)}{|1 - \Gamma_{IN} \Gamma_s| |1 - S_{22} \Gamma_L|} \quad (3.8.b)$$

Ce gain est maximal lorsque le quadripôle est adapté en entrée et en sortie : $S_{11} = \Gamma_s^*$ et $S_{22} = \Gamma_L^*$ et vaut:

$$G_T = \frac{|S_{21}|^2}{(1 - |S_{11}|^2) (1 - |S_{22}|^2)} \quad (3.8.c)$$

❖ *Gain disponible:*

Egalement appelé Gain Maximal, il correspond au rapport entre la puissance de sortie incidente et la puissance injectée dans le transistor. Ce gain dépend également des adaptations d'entrée et de sortie. Soit

$$G_{max} = \frac{P_{sinc}}{P_{inc}} \quad (3.9.a)$$

$$G_A = \frac{|S_{21}|^2 (1 - |\Gamma_s|^2)}{1 - |\Gamma_{OUT}|^2 |1 - S_{11} \Gamma_s|^2} = \frac{|S_{21}|^2 (1 - |\Gamma_s|^2)}{(1 - |\Gamma_L|^2) |1 - S_{11} \Gamma_s|^2} \quad (3.9.b)$$

3.5.2 Le facteur de bruit

Le facteur de bruit d'un récepteur ou d'un bloc RF, qui caractérise la dégradation du rapport signal sur bruit du signal d'entrée, est défini par [15, 20] :

$$F = \frac{\left(\frac{S_{IN}}{N_{IN}} \right)}{\left(\frac{S_{OUT}}{N_{OUT}} \right)} \quad (3.10)$$

Où S_{IN} , S_{OUT} , N_{IN} et N_{OUT} sont respectivement les puissances des signaux et des bruits à l'entrée et à la sortie du récepteur ou du bloc en question.

Un quadripôle bruyant peut être représenté à l'aide des matrices admittance, chaîne ou impédance, la représentation admittance est mieux adaptée. Le quadripôle d'un dispositif bruyant peut alors être défini par un quadripôle non bruyant auquel est associé deux générateurs de courant de bruit. Cette représentation est introduite dans la Figure 3.9

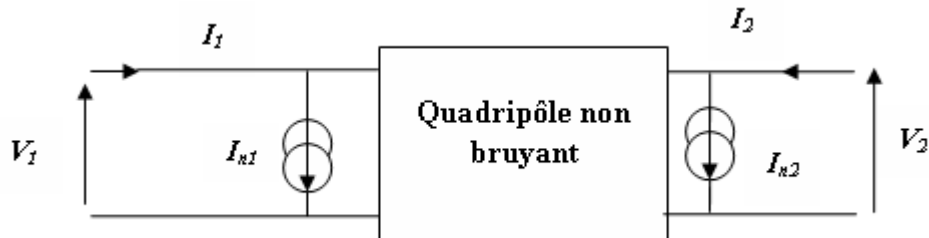


Figure 3.9: Représentation d'un quadripôle bruyant sous la forme d'une admittance.

Les sources de bruit peuvent toutes être ramenées sur l'entrée du quadripôle non bruyant. Dans ce cas, la représentation des sources est définie dans la Figure 3.10

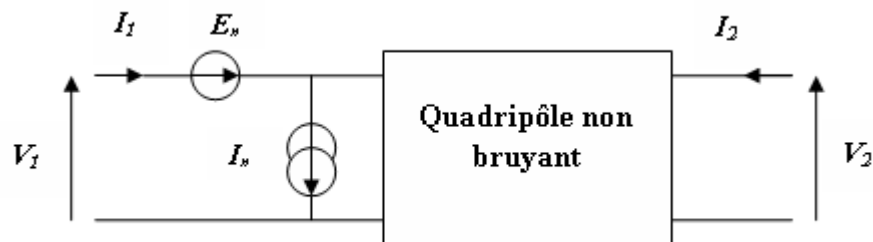


Figure 3.10: Représentation d'un quadripôle bruyant sous la forme d'une admittance avec les sources de bruits sont en entrée.

Les sources de tension et de courant en entrée du quadripôle sont définies par les équations suivantes :

$$E_n = -\frac{I_{n2}}{Y_{21}} \quad (3-11)$$

$$I_n = I_{n1} - \frac{Y_{11}}{Y_{21}} I_{n2} \quad (3-12)$$

Cette représentation admittance peut être adaptée aux transistors FET et bipolaire. Le comportement bruyant d'un dispositif passif ou actif est alors complètement déterminé à

partir de quatre paramètres de bruit qui sont le facteur de bruit minimum NF_{min} , l'admittance optimale en bruit $Y_{opt}=G_{opt}+j B_{opt}$ qui permet d'obtenir NF_{min} , et la résistance équivalente de bruit R_n . A partir des observations de Rothe et Dahlke pour caractériser ces paramètres était basée sur la recherche manuelle du facteur de bruit minimum en faisant varier l'admittance de source à l'aide d'éléments localisés pour les fréquences inférieures à 200 MHz [12, 27].

La représentation du quadripôle bruyant Figure 3.9 permet de déterminer le facteur de bruit d'un quadripôle en fonction de quatre paramètres de bruits, à savoir:

- le facteur de bruit minimal NF_{min} .
- la résistance équivalente de bruit R_n
- la partie réelle G_{opt} de l'admittance optimale de bruit Y_{opt} à présenter en entrée d'un quadripôle bruyant pour obtenir son minimum bruit.
- la partie imaginaire B_{opt} de Y_{opt} .

A partir de ces quatre paramètres, il est possible de déterminer le facteur de bruit linéaire d'un quadripôle en fonction de l'admittance de source Y_s . Soit:

$$NF = NF_{min} + \frac{R_n |Y_s - Y_{opt}|^2}{\text{Re}(Y_s)} \quad (3.13)$$

Avec Y_{opt} admittance optimale de bruit, $Y_{opt} = G_{opt} + jB_{opt}$

La relation entre un coefficient de réflexion et une admittance est la suivante :

$$Y = \frac{1-\Gamma}{1+\Gamma} \quad (3.14)$$

En combinant les équations (3.13) et (3.14), le facteur de bruit du quadripôle peut être décrit par la relation:

$$NF = NF_{min} + \frac{4R_n |\Gamma_s - \Gamma_{opt}|}{(1-|\Gamma_s|^2) |1 + \Gamma_{opt}|^2} \quad (3.15)$$

Avec Γ_s et Γ_{opt} sont les coefficients de réflexion de la source et de l'admittance optimale de bruit respectivement.

Le facteur de bruit NF d'un quadripôle dépend de l'admittance de source $Y_s=G_s+jB_s$ présentée à son entrée.

NF_{min} représente le facteur de bruit minimum, obtenu quand Y_s est égale à l'admittance optimale $Y_{opt}=G_{opt}+jB_{opt}$

3.5.3 La linéarité des amplificateurs

Un amplificateur est soumis à des non-linéarités dès qu'on lui applique un niveau de signal important en entrée. Il existe deux types de distorsion d'amplitude [16, 28, 29]:

- Distorsion créant un effet de compression sur la puissance du signal (point de compression à 1 dB).
- Distorsions dues aux interférences entre deux signaux dont la fréquence est proche de l'harmonique fondamentale, la combinaison de ces différentes fréquences crée des produits d'intermodulation.

Les distorsions dues aux interférences impactent uniquement la chaîne de réception. Ces distorsions seront présentées à titre informatif, afin d'évaluer la qualité de l'amplificateur conçu. Afin de caractériser ces deux types de distorsion deux tests doivent être réalisés :

- Test du simple ton, le spectre du signal injecté en entrée de l'amplificateur est constitué d'une seule raie.
- Test du double ton, le spectre du signal injecté en entrée de l'amplificateur est cette fois composé de deux raies de puissance identique.

En effet, la linéarité et le gain sont fortement liés au courant de polarisation qui traverse les transistors et l'on doit comparer les performances en linéarité pour la même consommation.

3.5.3.a. Le point de compression à 1 dB

Le signal sinusoïdal en entrée de l'amplificateur est défini par:

$$V_e = A \cos(\omega t) \quad (3.16)$$

Avec A: l'amplitude maximale du signal d'entrée, ω : la fréquence de fonctionnement. Si l'on considère la tension de sortie comme une fonction temporelle de la tension d'entrée, il est possible d'exprimer cette tension sous forme polynomiale. Et si nous voulons étudier les non linéarités d'ordre trois, la tension de sortie d'un circuit s'écrit de la manière suivante

$$V_s = a_1 V_e + a_2 V_e^2 + a_3 V_e^3 \quad (3.17)$$

Après développement de l'équation (3.17) en série de Taylor de la tension d'entrée, l'expression de la composante fondamentale s'écrit:

$$a_1 A \left[1 + \frac{3}{4} \frac{a_3}{a_1} A^2 \right] \quad (3.18)$$

Le coefficient $a_1 A$ représente le gain linéaire de la structure. Si $a_3 < 0$, l'amplificateur subit alors un phénomène de compression à la fréquence fondamentale. La puissance de sortie d'un amplificateur est souvent donnée à 1 dB de compression, ce qui signifie que le gain est 1 dB

en dessous du gain en zone linéaire. Le point de compression à -1 dB est décrit sur la Figure 3.11

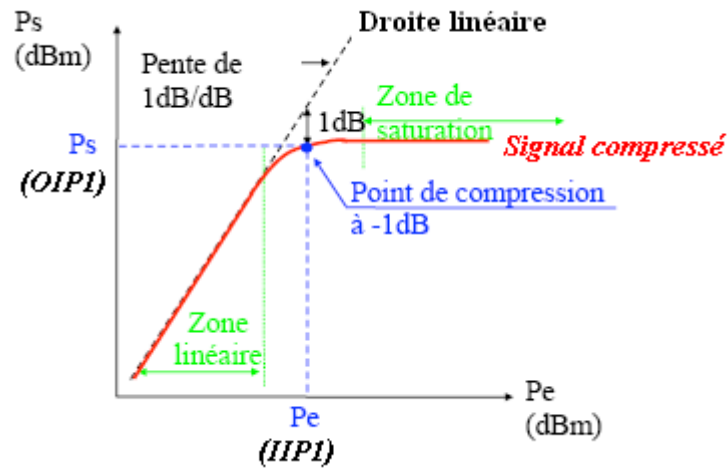


Figure 3.11: Définition du point de compression à -1 dB.

Le point de compression à -1 dB ne suffit pas pour quantifier la non linéarité d'un amplificateur utilisé dans un système de communication, il faut également étudier les produits d'intermodulation pour évaluer la distorsion de cette même fonction.

- La courbe de gain montre une zone de linéarité et une zone de saturation (Chapitre 4)
- Le gain constant dans la zone de linéarité chute ensuite.
- Point de compression à -1dB: P_{-1dB} : point où la chute de gain atteint 1 dB. Généralement défini à la sortie.
- Pour un LNA, P_{-1dB} = environ 0 dBm.

3.5.3.b. Produits d'intermodulation (Point d'interception d'ordre 3)

Les produits d'intermodulation correspondent à une combinaison des fréquences fondamentales. Les signaux parasites peuvent perturber le système de communication sans fil s'ils se situent dans la bande passante du système. Afin de caractériser les produits d'intermodulation, il faut considérer un signal d'entrée (V_e) équation (3.19), composé de deux signaux sinusoïdaux d'amplitude V identique mais de fréquences voisines distinctes (f_1 et f_2).

$$V_e = V[\cos(\omega_1 t) + \cos(\omega_2 t)] \quad (3.19)$$

Le signal en sortie de l'amplificateur est alors défini par:

$$V_s = a_1 V[\cos(\omega_1 t) + \cos(\omega_2 t)] + a_2 V^2 [\cos(\omega_1 t) + \cos(\omega_2 t)]^2 + a_3 V^3 [\cos(\omega_1 t) + \cos(\omega_2 t)]^3 \quad (3.20)$$

Le signal de sortie V_s présente des termes en $n\omega_1 \pm m\omega_2$ n et m étant des entiers. L'ordre du produit d'intermodulation est défini par la relation $i = |n| + |m|$.

Les produits d'intermodulation du second ordre sont donc représentés par les raies aux fréquences $f_1 + f_2$ et $f_1 - f_2$ et ceux du troisième ordre par les fréquences $2f_1 + f_2$, $2f_1 - f_2$, $2f_2 + f_1$ et $2f_2 - f_1$.

Certain des produits d'intermodulation d'ordre impair (i est un nombre impair) sont situés comme représenté sur la figure 3.12, dans la bande passante de fonctionnement du système. Ils perturbent donc le signal transmis.

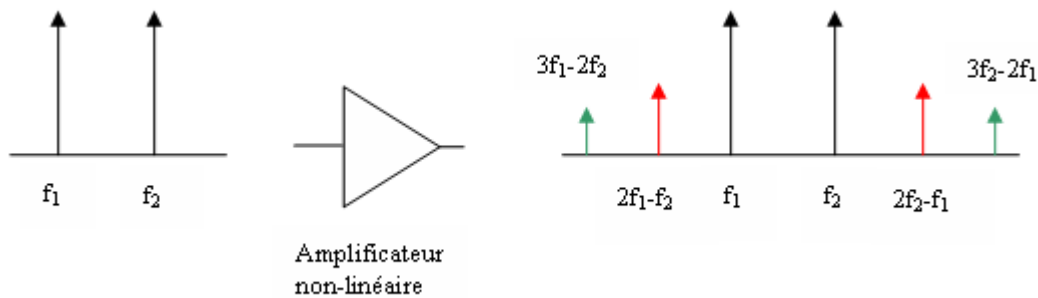


Figure 3.12: Spectre du signal en entrée et en sortie d'un amplificateur non linéaire après apparition de la compression.

L'intermodulation d'ordre trois est représentée sur la Figure 3.13. De ce graphique, on peut déduire le point d'interception (IP3) d'ordre trois en entrée (IIP3) et en sortie (OIP3). Ce point se détermine en calculant d'interception entre la droite linéaire de la puissance du fondamental et celle de l'intermodulation d'ordre trois.

La figure 3.13 présente également la distorsion d'intermodulation, notée *IMD* (Intermodulation Distorsion) et exprimé en dBc. Cette distorsion est définie par l'équation (3.32.a) sachant que la puissance du fondamental est définie au point de compression à -1 dB :

$$IMD_3 = P_{2\omega_2 - \omega_1} - P_{\omega_1} \text{ (dBc)} \quad (3.21.a)$$

Le processus est identique pour déterminer les distorsions d'intermodulation d'ordre n . Cette fois il peut être calculé par:

$$IMD_i = P_{m\omega_2 - n\omega_1} - P_{\omega_1} \text{ (dBc)} \quad (3.21.b)$$

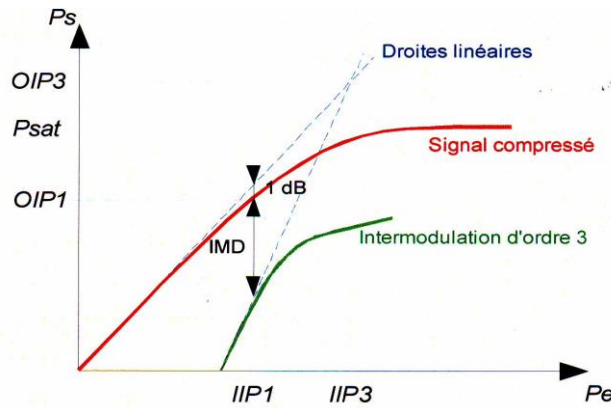


Figure 3.13: Définition graphique d'intermodulation d'ordre 3.

Où m , n et i entier et reliés par l'expression $i=m+n$.

Les produits d'intermodulation d'ordre trois et cinq se situent dans la majeure partie des cas, dans la bande passante du système et ont une puissance suffisante pour avoir une influence sur le signal en sortie de l'amplificateur.

3.6 Différentes architectures des amplificateurs LNAs

Les topologies choisies pour la conception des circuits jouent un rôle primordial dans la détermination des performances voulues. A cet effet, l'amplificateur à faible bruit est l'un des circuits qui dépendent essentiellement du choix de l'architecture ainsi que du nombre de ses étages [30-35]. Il est souvent constitué d'un transistor ou mêmes plusieurs, mais il reste différentes possibilités pour leurs implémentations. Pour cela, on va tout d'abord évoquer les topologies existantes et choisir par la suite l'architecture qui convient le mieux au cahier de charge (Chapitre 4). Les critères de ce choix sont généralement déterminés par certaines performances telles que la consommation de puissance, le gain et le facteur de bruit. Nous allons présenter les principaux montages élémentaires à un seul transistor utilisés pour l'amplification telle que la source commune, la grille commune et le drain commun ainsi que certaines topologies décrites dans la littérature.

3.6.1 Le montage en source commune

Un montage source commune est un type d'amplificateur utilisant un transistor à effet de champ. Le terme de source commune vient du fait que l'électrode «source» du transistor est reliée à la masse. Dans ce montage, le signal d'entrée est appliqué au niveau de la grille et récolté de son drain, utilisé ainsi comme amplificateur de tension (Figure 3.14).

C'est la structure de base la plus utilisée pour obtenir du gain en tension. C'est la brique de base d'autres montages élémentaires à fort gain en tension (cascode, paire différentielle).

Soit le montage source commune en hautes fréquences.

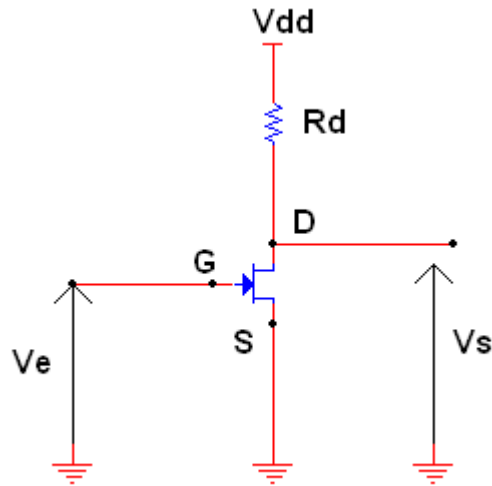


Figure 3.14: Montage source commune.

A partir du schéma équivalent simplifié du HEMT (Figure 3.15), Le gain en tension petit signal d'un étage en source commune s'exprime par la relation suivante:

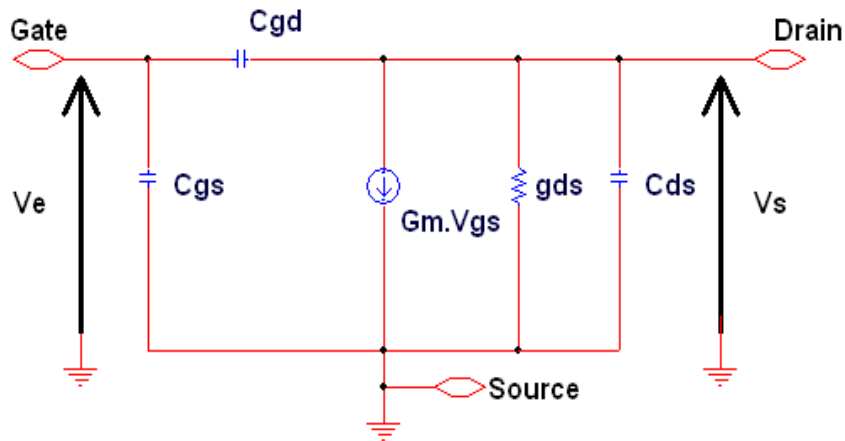


Figure 3.15: Schéma équivalent petit signal simplifié du montage source commune d'un HEMT.

$$A_v = \frac{-g_m + j\omega C_{gd}}{g_{ds} + G_d + j\omega(C_{ds} + C_{gd})} \quad (3.22)$$

Où $G_d = 1/R_d$

L'admittance d'entrée s'écrit

$$Y_e = j\omega C_{gs} + j\omega C_{gd} \left(1 - \frac{j\omega C_{gd}}{g_m + g_{ds} + G_d + j\omega(C_{gd} + C_{ds})} \right) \quad (3.23)$$

L'admittance en entrée correspond à la capacité de grille C_{gs} en parallèle avec une partie de la capacité grille drain C_{gd} ramenée par effet Miller. Comme le gain dépend des impédances connectées au drain du transistor, et que celles-ci peuvent être résistives, l'admittance équivalente à l'entrée correspond à une capacité en parallèle avec une résistance. Ce calcul ne tient pas compte du modèle complet du transistor, notamment des résistances série sur la grille et la source R_g et R_s et des résistances de fuite R_{gs} et R_{gd} .

L'admittance de sortie:

$$Y_s = G_d + g_{ds} + j\omega C_{ds} + j\omega C_{gd} \left(1 + \frac{g_m - j\omega C_{gd}}{Y_{source} + j\omega(C_{gd} + C_{gs})} \right) \quad (3.24)$$

D'après l'expression de l'impédance de sortie, on confirme l'existence d'une relation entre la sortie et l'entrée à travers la capacité C_{gd} . La relation donnant l'admittance de sortie du montage source commune montre que C_{gd} est responsable de la détérioration de l'isolation entre la sortie et l'entrée par réaction. Sans elle, l'admittance de sortie ne dépendrait pas des caractéristiques à l'entrée du transistor. Cet effet induit une diminution de la fréquence de coupure du transistor.[15, 30].

3.6.2 Le montage en grille commune

Le montage du HEMT en grille commune est l'un des trois types de base d'amplificateur utilisant un transistor à effet de champ. Il est typiquement utilisé comme buffer de courant ou amplificateur de tension. Dans ce circuit, le signal d'entrée est appliqué à la source et sa sortie est au niveau du drain laissant la grille comme le point commun. La figure 3.16 montre le montage grille commune en hautes fréquences:

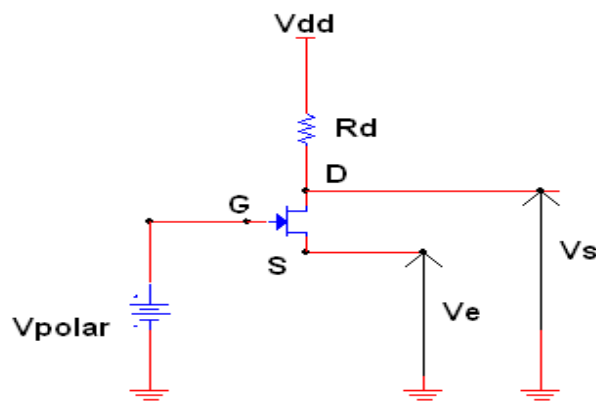


Figure 3.16: Montage en grille commune.

En utilisant le schéma équivalent de la figure 3.17, on obtient l'expression du gain en tension:

$$A_v = \frac{g_m + g_d + j\omega C_{ds}}{g_{ds} + G_d + j\omega(C_{gd} + C_{ds})} \quad (3.25)$$

Le gain en tension de la grille commune est du même ordre que celui de la source commune avec un gain en courant ≤ 1 . Il est aussi caractérisé par une admittance en entrée relativement élevée dont la limite inférieure est g_m :

$$Y_e = j\omega C_{gs} + (j\omega C_{gd} + G_d) \left(\frac{g_m + g_{ds} + j\omega C_{ds}}{g_{ds} + G_d + j\omega(C_{gd} + C_{ds})} \right) \quad (3.26.a)$$

L'impédance Z_e sera indépendante de C_{gd} en hautes fréquences. Par ailleurs, on note que l'entrée ne dépend pas de la sortie dans ce type de montage. Elle est simplifiée et donnée par:

$$Y_e = g_m + g_d + j\omega(C_{gs} + C_{ds}) \quad (3.26.b)$$

L'admittance de sortie s'exprime comme suit :

$$Y_s = j\omega C_{gd} + (Y_{source} + j\omega C_{gs}) \left(\frac{g_{ds} + j\omega C_{ds}}{Y_{source} + g_{ds} + g_m + j\omega(C_{gs} + C_{ds})} \right) \quad (3.27.a)$$

En hautes fréquences, l'impédance de sortie du montage grille commune peut être simplifié:

$$Y_s \approx j\omega C_{gd} \quad (3.27.b)$$

L'inconvénient majeur de ce type de structure est un gain en courant de l'ordre de l'unité.

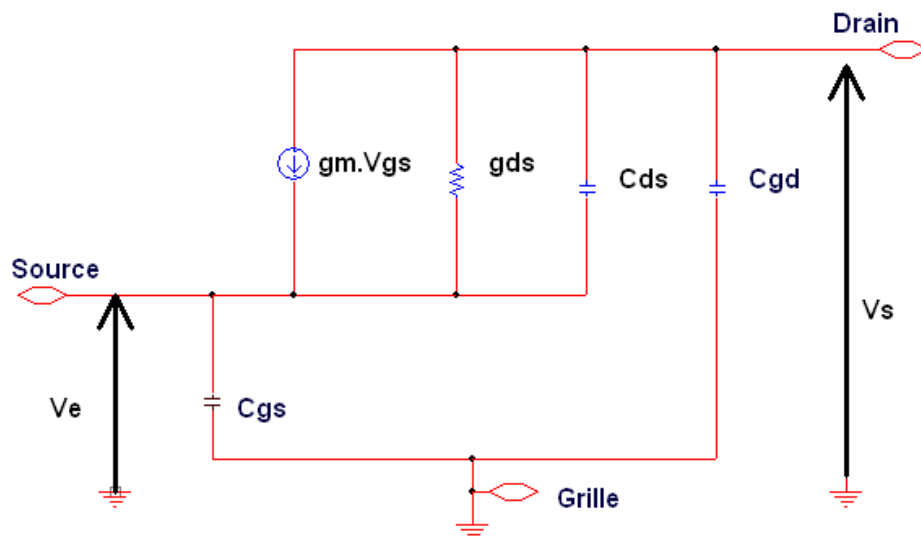


Figure 3.17: Schéma équivalent simplifié du montage grille commune.

3.6.3 Le montage en drain commun

La Figure 3.18 représente le schéma de principe du montage drain commun. Ce montage est souvent utilisé comme adaptateur d'impédance.

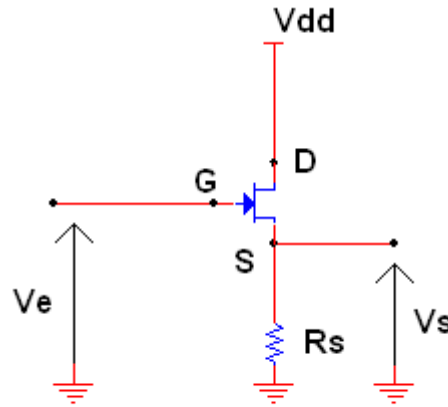


Figure 3.18: Montage drain commun (source suivieuse).

Son gain en tension est proche de l'unité pour des résistances de charge élevée par rapport à $1/(g_m + g_{ds})$.

$$A_v = \frac{g_m + j\omega C_{gs}}{g_{ds} + g_m + G_s + j\omega(C_{gs} + C_{ds})} \quad (3.28)$$

Où $G_s = 1/R_s$

L'admittance d'entrée s'écrit

$$Y_e = j\omega [C_{gd} + C_{gs}(1 - A_v)] \quad (3.29)$$

Pour des valeurs de gain en tension proche de l'unité, l'admittance d'entrée se résume à la capacité C_{gd} beaucoup plus faible que C_{gs} . Ainsi, l'impédance d'entrée de la source suivieuse est relativement élevée sur toute la bande.

L'impédance de sortie:

$$Z_s = \left(\frac{1}{g_m + g_{ds} + G_s + j\omega(C_{gs} + C_{ds})} \right) \quad (3.30)$$

Pour des valeurs élevées de R_s et dans la bande passante du circuit, l'impédance de sortie se réduit approximativement à $1/g_m$. Elle est relativement faible.

3.6.4 Le montage Cascode

Un montage cascode est un montage de deux transistors dont le premier est en source commune et le deuxième en grille commune (Figure 3.19). Ce montage permet de doubler théoriquement la tension de sortie par rapport à un transistor seul, puisque la tension de sortie V_s est égale à la somme des tensions drain-source des deux transistors ($V_s = V_{ds1} + V_{ds2}$) et assure une bonne isolation entrée-sortie.

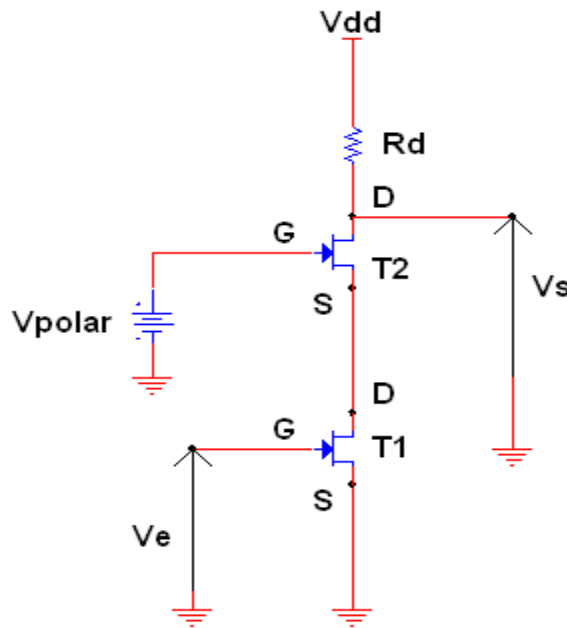


Figure 3.19: Schéma de principe du montage Cascode.

De plus, ce montage cascode présente comme avantages [8, 12, 26, 32-35]:

- une amélioration de l'isolation entrée-sortie.
- une augmentation du gain.
- une bonne stabilité assurée du circuit.
- une augmentation de l'impédance de sortie.

Le gain en tension du cascode est à peu près égal à celui de la source commune :

$$A_v = \frac{(g_m + g_{ds} + j\omega C_{ds})(-g_m + j\omega C_{gd})}{-g_{ds}G_d + [g_{ds} + j\omega(2C_{ds} + C_{gd} - C_{ds})][g_{ds} + G_d] + [g_m + 2g_{ds}][G_d + j\omega C_{gd}]} \quad (3.31)$$

L'admittance d'entrée s'écrit:

$$Y_e = j\omega \left[C_{gs} + C_{gd} \left[1 - \frac{j\omega C_{gd}}{g_m + g_{ds} + Y_{e_grille_commune} + j\omega(C_{gd} + C_{ds})} \right] \right] \quad (3.32)$$

L'admittance de sortie

$$Y_s = j\omega C_{gd} + (Y_{s_source_commune} + j\omega C_{gs}) \left(\frac{g_{ds} + j\omega C_{ds}}{Y_{s_source_commune} + g_{ds} + g_m + j\omega(C_{gs} + C_{ds})} \right) \quad (3.33)$$

3.6.4.a L'impédance d'entrée d'adaptation du montage cascode

Utilisant le schéma équivalent petit signal simplifié du montage cascode à dégénérescence inductive qui a déjà démontrée sa robustesse (Figure 3.20), on obtient le gain en tension simplifié en utilisant ces équations:

$$V_{in} = \left(\frac{1}{sC_{gs1}} + R_{i1} + Z_{Ls} + g_{m1} \frac{Z_{Ls}}{sC_{gs1}} \right) i_{in} \quad (3.34.a)$$

$$V_{D1} = \left((sL_{int} + Z_{i2}) g_{m1} \frac{1}{sC_{gs1}} + Z_{i2} \frac{g_{m1} g_{m2}}{sC_{gs1} (sC_{gs2} + g_{m2})} \right) i_{in} \quad (3.34.b)$$

$$V_{D1} = \left((sL_{int} + Z_{i2}) g_{m1} \frac{1}{sC_{gs1}} + Z_{i2} \frac{g_{m1} g_{m2}}{sC_{gs1} (sC_{gs2} + g_{m2})} \right) i_{in} \quad (3.34.c)$$

Où

$$Z_{Ls} = R_{Ls} + sL_s, \quad Z_{i2} = R_{i2} + \frac{1}{sC_{gs2}}$$

Le gain simplifié du premier étage de la configuration cascode est donnée par:

$$A_{v1} = \frac{V_{D1}}{V_{in}} \approx \frac{L_{int}}{L_s} \quad (3.35.a)$$

Tandis que le gain du deuxième étage est approximativement égal:

$$A_{v2} = \frac{V_{out}}{V_{D1}} \approx \frac{g_{m2} \cdot pL_{D2}}{pL_{in} + Z_{i2}} \approx \frac{L_{D2}}{L_{in}} \quad (3.35.b)$$

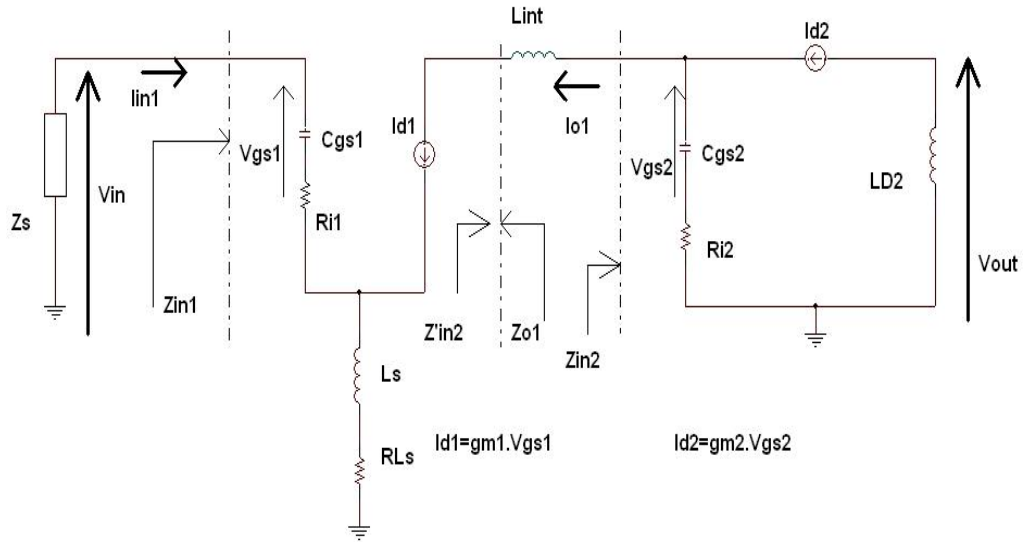


Figure 3.20: Le schéma équivalent petit signal simplifié du montage cascode.

D'après les équations (3.35.a et 3.35.b), le gain total est le rapport de deux inductances du drain et de la source. Un gain fort peut être obtenu en choisissant la valeur de l'inductance du drain supérieure à celle de la dégénérescence.

A partir du schéma équivalent simplifié de la figure 3.20, l'impédance d'entrée est donnée par:

$$Z_{in} = \sum R + L_s \omega_T + j\omega L_s + \frac{1}{j\omega C_{gs1}} \quad (3.36.a)$$

$$\sum R = R_{i1} + R_{L_s} \quad (3.36.b)$$

$$\omega_T = \frac{g_{m1}}{C_{gs1}} \quad (3.36.c)$$

Où les éléments C_{gs1} , g_{m1} , R_{i1} sont respectivement la capacité grille-source, transconductance et la résistance intrinsèque du transistor T_1 , R_{L_s} : est la résistance série parasite de l'inductance L_s . Dans la topologie source dégénérescence, l'impédance d'entrée Z_{in} est purement résistive et réelle ($Z_{in} = R$) et proportionnel à L_s à la fréquence de résonance f_o . Par un choix judicieux de la valeur de l'inductance L_s la partie réelle de l'impédance d'entrée peut être égale à l'impédance de la source ($R_s=50\Omega$). Par conséquent, la condition de résonance pour que l'impédance d'entrée devient réelle est donnée par:

$$f_o = \frac{1}{2\pi \sqrt{C_{gs1} L_s}} \quad (3.37.a)$$

Avec Z_{in} sans partie réactive et sa partie réel est approximativement égale à:

$$R_{in} \approx \omega_T L_s \quad (3.37.b)$$

Donc le gain dans ces conditions est maximal.

3.6.4.b L'impédance inter-étage

La configuration cascode a l'avantage de réduire l'effet de Miller et assure une bonne isolation de la sortie. L'ajout de l'inductance L_{int} permet de réduire l'effet de la capacité de Miller du transistor T_1 .

A partir de la Figure 3.20, on peut calculer l'impédance vue du drain du premier transistor T_1 :

$$Z_{o1} \cong \frac{\omega_o^2}{\omega_T} L_s + j \frac{\omega_o}{\omega_T} Z_s \quad (3.38.a)$$

ω_o est inférieure à ω_T ; $Z_s = 50\Omega$

L'impédance d'entrée du deuxième étage (Figure 3.20), peut être évaluée:

$$Z'_{in2} \cong \frac{1}{g_{m2}} \cdot \frac{1}{1 + \left(\frac{\omega_o}{\omega_{T_2}}\right)^2} + j\omega_o \left(L_{int} - \frac{1}{g_{m2}} \cdot \frac{\omega_{T_2}}{\omega_{T_2}^2 + \omega_o^2} \right) \quad (3.38.b)$$

Où $\omega_{T_2} = \frac{g_{m2}}{C_{gs2}}$, Z'_{in2} peut avoir une partie résistive faible devant $1/g_{m2}$.

3.6.5 Montages cascades

Plusieurs amplificateurs cascades servent principalement à augmenter la sensibilité du récepteur en diminuant sa contribution en bruit en augmentant son gain. Notre cahier de charge exige un gain supérieur à 10 dB, l'amplificateur à un seul étage ne suffira pas pour obtenir ce gain. Donc, il faudra envisager de cascader plusieurs étages pour obtenir ce gain. D'après les performances obtenues avec un seul transistor, notamment en terme de gain, il est nécessaire de concevoir un amplificateur à plusieurs étages afin de satisfaire le critère gain. Le système à concevoir a également un critère de faible consommation. Le nombre d'étage de l'amplificateur est donc limité afin de ne pas augmenter de manière considérable la puissance dissipée.

Pour ce cas, on choisit un montage source commune à dégénérescence inductive double étage cascades comme le montre la Figure 3.21, dans le but d'améliorer les spécifications du LNA. Le premier étage est conçu pour la minimisation du bruit et le second pour avoir un gain fort. On peut écrire:

$$V_{out1} = - \frac{g_{m1} s L_{D1}}{C_{gs1}} i_{in} \quad (3.39.a)$$

Le gain du premier étage du montage source commune double étage en cascade est donné par

$$\frac{V_{out1}}{V_{in}} = \frac{-j g_m \omega L_{D1}}{1 - \omega^2 L_s C_{gs1} + j\omega(R_{i1} C_{gs1} + g_m L_s)} \quad (3.39.b)$$

A la résonance, ce gain devient:

$$\frac{V_{out1}}{V_{in}} = \frac{-g_m L_{D1}}{R_{i1} C_{gs1} + g_m L_s} \quad (3.39.c)$$

Afin d'améliorer le facteur de bruit, le premier étage devrait être conçu avec un faible bruit et gain élevé et éliminer la contribution du bruit du deuxième étage. La dégénérescence inductive devrait être soigneusement sélectionnée pour les considérations de l'adaptation en bruit et en gain.

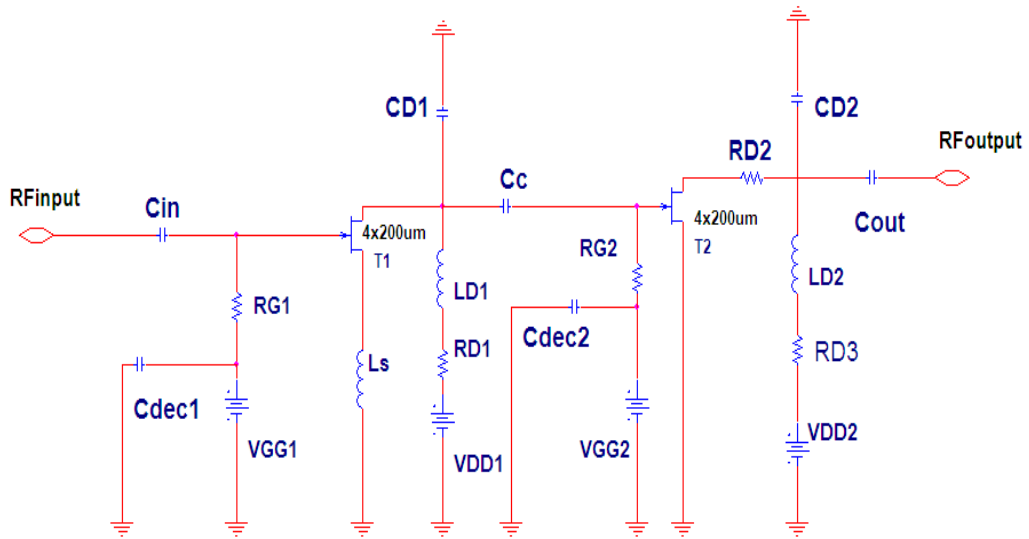


Figure 3.21: Montage source commune à dégénérescence inductive à deux étages cascades.

3.6.6 Amplificateur différentiel

La paire différentielle met en œuvre deux transistors connectés par leurs sources et polarisés par une source de courant. Par définition tous les éléments sont assemblés symétriquement. Ce montage est souvent utilisé en basse fréquence. La Figure 3.22 représente le schéma d'une paire différentielle.

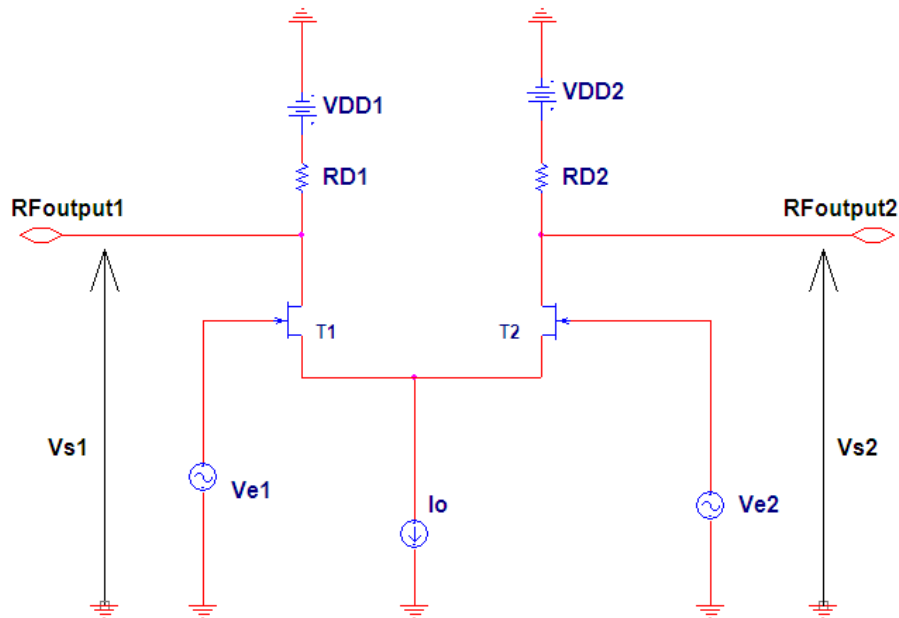


Figure 3.22: Montage différentiel classique.

L'amplification différentielle offre trois avantages par rapport à l'amplification directe, comme par exemple un étage source commune. Tout d'abord un décalage global en tension continue sur les signaux aura des conséquences plus faibles. Par ailleurs en régime différentiel le courant de commutation des alimentations est constant, alors qu'il varie avec le signal dans les étages à source commune. Le découplage est donc moins critique. Enfin l'amplification différentielle permet d'avoir, à partir d'un seul signal d'entrée, deux signaux en opposition de phase.

La paire différentielle présente par contre quelques inconvénients: un encombrement important, une conception difficile due aux contraintes de symétrie et une consommation en puissance accrue. L'adoption de topologies différentielles pour les blocs d'émission et de réception permet d'atténuer l'impact de ce bruit. [35, 36].

3.7 Récapitulation

Dans ce chapitre nous avons présenté, les différentes architectures et les structures élémentaires connues et utilisées comme amplificateurs de signaux.

D'après la littérature, les amplificateurs à faible bruit sont classés et définies en quatre familles, et ce, par le biais de l'impédance d'entrée du bloc en question et qui sont les LNAs:

- à terminaison résistive.
- à terminaison en $1/g_m$.
- à bouclage par shunt (amplificateur à contre réaction résistive).

➤ à dégénérescence inductive.

La conception des amplificateurs à faible bruit doit répondre aux spécifications du cahier de charges (un gain supérieur à 10 dB et un facteur de bruit inférieur à 0.6 dB). Pour cela, on a donc opté pour la topologie cascode à dégénérescence inductive parmi les différentes configurations citées auparavant. En effet, l'amplificateur cascode possède un gain élevé et une bonne isolation ainsi qu'un faible facteur de bruit qui est presque identique à celui d'un seul transistor monté en source commune. Pour avoir un gain fort on a cascadié deux étages montés en source commune à dégénérescence inductive.

3.8 Bibliographie

- [1] D. EYLLIER, "Outils de Synthèse Originaux pour la Conception de dispositifs Actifs Microonde Intégrés Application au Filtrage et à l'Amplification Faible Bruit", *Thèse de Doctorat, Université de Limoge*, Mai 2006.
- [2] H. Happy, "Contribution à la simulation physique de composants et à la réalisation de circuits intégrés monolithiques micro-ondes originaux", *Thèse d'habilitation, Université Des Sciences et technologies de Lille*, Décembre 2000.
- [3] S. Dellier, "Contribution à la conception des circuits microondes", *Thèse de Doctorat Université de Limoges*, Juillet 2005.
- [4] J. M. Lesage, "Application de la méthode de compression à l'analyse électromagnétique globale des effets de mise en boîtier d'amplificateurs MMIC", *Thèse de Doctorat, l'Institut National Des Sciences Appliquées de Rennes*, Octobre 2005.
- [5] M. Guyonnet, "Modélisation Electrothermique Non Linéaire de Transistors de Puissance LDMOS: Application à la Détermination de Règles d'Echelle", *Thèse Doctorat, Université de Limoges*, Mars 2005
- [6] C. Christophe, "Amélioration de modèles électrothermiques de composants de puissance de type TBH ou pHEMT et application à la conception optimale de modules actifs pour les radars", *Thèse de Doctorat, Université de Limoges*, Mai 2004.
- [7] M.E. Kaamouchi et al., "A 2-4-GHz fully integrated ESD-protected low-noise amplifier in 130-nm PD SOI CMOS technology", *IEEE Trans. Microw. Theory* 55 (2007) 2822.
- [8] H. Hashemi and A. Hajimiri, "Concurrent multiband low-noise amplifiers theory, design, and applications", *IEEE T. Microw. Theory* 50 (2002) 288.
- [9] J.H. Son and D.-Y. Kim, "Study of gain improvement in a low noise amplifier", *J. Korean Phys. Soc.* 4 (2003) L1.
- [10] M. Cimino, H. Lapuyade, Y. Deval, , T. Taris, and J.-B. Bégueret, "Design of a 0.9 V 2.45 GHz Self-Testable and Reliability-Enhanced CMOS LNA", *IEEE J. S Solid-State Circuits*, vol. 43, no. 5, pp.1187-1194, May 2008.
- [11] K.-. Sun, Z.-M. Tsai, K.-Y. Lin, and H. Wang, " A Noise Optimization Formulation for CMOS Low-Noise Amplifiers With On-Chip Low-Q Inductors", *IEEE Trans. Microw. Theory Tech.*, vol. 54, no. 4, pp. 1554-1560, April 2006.

- [12] G. Petit, "Étude des Structures radiofréquence en Bande X sur Technologies CMOS-SOS", *Thèse de Doctorat, Université Paris XI École Supérieure d'Électricité*, Septembre 2005.
- [13] D.M. Mozar, *Microwave engineering*, 2nd edition, John & Wiley Inc., U.S.A. (1998).
- [14] E.D Foucauld, "Conception et réalisation d'oscillateurs accordables en fréquence en technologie SiGe pour les radio-téléphones", *Thèse Doctorat, Université de Limoges*, Janvier 2001.
- [15] N. Defrance, "Caractérisation et Modélisation des dispositifs de la Filière Nitrure par la Conception de Circuits intégrés de Puissance en hyperfréquences", *Thèse de Doctorat, Université des sciences et de technologies de Lille*, Décembre 2007.
- [16] M. Devulder, "Etude et faisabilité d'un système Ultra large Bande ULB en Gamme millimétrique en Technologie Silicium avancée", *Thèse de Doctorat Université des Sciences et de Technologies de Lille*, Décembre 2008.
- [17] G. Gonzalez, "Microwave transistor amplifiers", Upper Saddle River, NJ: Prentice-Hall, 1997.
- [18] Joseph J. Carr, "RF Components and Circuits", Newnes, First edition 2002.
- [19] C Bowick, "RF Circuit Design", Newnes, 1982.
- [20] E. Silva, "High Frequency and Microwave Engineering", Plata Free, First published 2001.
- [21] Norman Dye Helge Granberg, "Radio Frequency Transistors", Principles and Practical Applications Newnes is an imprint of Elsevier Science, Second Edition.
- [22] G. Six, "Optimisation d'une technologie 3D pour la réalisation de circuits intégrés millimétriques sur substrat de silicium", *Université des Sciences et de Technologies de Lille*, Octobre 2004.
- [23] M.A. López Consospó, J.E. –Villarruel, "A Step by Step Strategy for the Design and Implementation of a RF&MW Amplifier", *IEEE Fourth Congress of Electronics, Robotics and Automotive Mechanics*, 2007.
- [24] H.-H. Hsieh, and L.-H. Lu, "Design of ultra-low-voltage RF frontends with complementary current-reused architectures", *IEEE Trans. Microw. Theory Tech*, vo. 55, no. 7, pp.1445-1458, July 2007.
- [25] M. Liu, J. Craninckx, N. M. Iyer, M. Kuijk, and A. R. F. Barel, "A 6.5-kV ESD-Protected 3–5-GHz Ultra-Wideband BiCMOS Low-Noise Amplifier Using Inter-stage Gain Roll-Off Compensation", *IEEE Trans. Microw. Theory Tech*, vol. 54, no.4, pp.1698-1706, April 2006.
- [26] A. EL Oualkadi, "Analyse comportementale des filtres à capacités commutées pour les radiocommunications : Conception d'une nouvelle architecture en technologie BiCMOS 0,35 μm ", *Thèse Doctorat, Université de Poitiers*, 2004.
- [27] L. Escotte, "Contribution à la caractérisation et la modélisation des composants actifs aux fréquences micro-ondes", *Thèse d'habilitation, Université Paul Sabatier de Toulouse*, Janvier 1999.
- [28] Chi-W. Park and J. Jeong, "Consideration of Linearity in Cascode Low Noise Amplifiers using Double Derivative Superposition Method with a Tuned Inductor", *Korea-Japan Microwave Conference*, pp.21-24, 2007.

- [29] A. SILIGARIS, "Modélisation grand signal de MOSFET en hyperfréquence : application à l'étude des non linéarité des filtres SOI", *Thèse de Doctorat, Université des sciences et de technologies de Lille*, 2004.
- [30] M. Camus, "Architecture de réception RF très faible coût et très faible puissance Application aux réseaux de capteurs et au standard ZigBee", *Thèse de Doctorat, Université de Toulouse*, Février 2008.
- [31] H.-H. Hsieh, and L.-H. Lu, "Design of ultra-low-voltage RF frontends with complementary current-reused architectures", *IEEE Trans. Microw. Theory Tech*, vol. 55, no. 7, pp.1445-1458, July 2007.
- [32] M. Shouxian, M. J.-Guo, Y. K. Seng, and D. M. Anh, "A Modified Architecture Used for Input Matching in CMOS Low-Noise Amplifiers", *IEEE Tran.On Circuits And Systems—II: Express Briefs*, vol. 52, no. 11, pp.784-788, November 2005.
- [33] Y. Shim, C.-W. Kim, J. Lee, and S.-G. Lee, "Design of Full Band UWB Common-Gate LNA", *IEEE Microwave and Wireless Components Letters*, vol. 17, no. 10, pp.721-723, October 2007.
- [34] A. Bevilacqua and A. M. Niknejad, "An Ultra-wideband CMOS Low-Noise Amplifier for 3.1–10.6-GHz Wireless Receivers", *IEEE J. S Solid-State Circuits*, vol. 39, no. 12, pp. 2259-2268, December 2004.
- [35] R. Claveau, "Contribution à l'étude des amplificateurs distribués et des circuits de polarisation active. Applications aux circuits de commande de modulateurs électro-optique", *Thèse de Doctorat, l'Institut National des Sciences appliquées de Rennes*, Mai 2005.
- [36] C. MELIANI, "Circuits intégrés amplificateurs à base de transistors HEMT pour les transmissions numériques à très haut débit (≥ 40 Gbit/s)", *Thèse de Doctorat, Université de Paris VII Denis Diderot*, Juin 2003.
- [37] C. Saboureau, "Analyses électromagnétiques et méthodologies de conception associées, dédiées à l'optimisation de composants et modules millimétriques", *Thèse de Doctorat, Université de Limoges*, Septembre 2004.
- [38] Y. Mimino, M. Hirata, K. Nakamura, K. Sakamoto, Y. Aoki, and S.Kuroda, "High gain-density K-band P-HEMT LNA MMIC for LMDS and satellite communication", in *IEEE Radio Frequency Integrated Circuits Symp. Dig. Papers*, 2000, pp. 209–212.

Chapitre 4

Conception et simulation d'un amplificateur faible bruit large bande pour application en radioastronomie

4.1 Introduction

Les amplificateurs faible bruit ou LNAs sont largement répandus dans les communications sans fils. On peut les trouver dans presque tous les récepteurs RF et circuits microondes dans plusieurs applications commerciales telles que les téléphones sans fil et les réseaux locaux de radiocommunication. Les amplificateurs à faible bruit (LNAs) sont habituellement placés à l'entrée d'un système de récepteur, juste après l'antenne.

Le but d'un LNA est d'amplifier le signal désiré tout en s'ajoutant que le minimum de bruit et de déformation possible au signal de sortie. Les LNAs peuvent être fabriqués en utilisant plusieurs techniques: Bipolaire, CMOS, BiCMOS, pHEMT, ...etc. Bien que le CMOS soit la technologie de choix dans la limite de l'intégration numérique, il est rarement préféré pour les LNAs à cause de ses capacités limitées pour manipuler les interférences. En sortie de l'émetteur, c'est-à-dire en aval de l'antenne le signal est transmis dans l'air. La formule de Friis définit les pertes du signal utile dans l'espace libre. Le niveau du signal obtenu en entrée de la chaîne de réception est alors proche du seuil de bruit. Ceci impose la présence d'un amplificateur faible bruit en entrée de toute chaîne de réception afin de distinguer l'information transmise du bruit ambiant [1].

La conception d'un LNA doit donc être un compromis entre le facteur de bruit et le gain.

Dans ce chapitre, on va évoquer les différentes étapes de conception et de simulation d'un amplificateur à faible bruit pour les applications en radioastronomie qui exigent un cahier de charges bien précis (de point de vue facteur de bruit, consommation de puissance, gain et bande de fréquence). En premier lieu, on a conçu deux LNAs à large bande pour la bande (0.4-2 GHz) pour le premier une topologie cascode à source de dégénérescence inductive et pour le second une topologie constituée de deux étages en cascades à source de dégénérescence inductive. Pour la partie simulation, le logiciel d'Agilent ADS (**Advanced Design System de Agilent**), qui est dédié à la conception des circuits et des systèmes radiofréquences. Cet outil performant de conception de circuits microondes est largement utilisé dans l'industrie et dans les laboratoires de recherche [2].

Par ailleurs, le travail de conception et de simulation est basé sur la technologie pHEMT 1 μm .

L'amplificateur faible bruit est composé de deux parties :

- Une partie active constituée d'un transistor pHEMT $1\mu\text{m}$
- Une partie passive constituée des circuits de polarisation et circuits d'adaptation en entrée et en sortie.

4.2 Etat d'art des amplificateurs LNA en radioastronomie

En réalité, il existe peu de sortes de LNA différentes, et ce, quelle que soit la technologie employée.

Elles peuvent se classer en quatre grands types d'architectures qui sont les LNA [3]:

- à terminaison résistive
- à terminaison en $1/g_m$ (l'inverse de la transconductance).
- à bouclage par shunt.
- à dégénérescence inductive.

Les principaux critères d'un amplificateur faible bruit sont:

- Fréquences de fonctionnement.
- Facteur de bruit du circuit (dB).
- Gain (dB).
- Linéarité.

Pour répondre au cahier de charge de notre application, il faut également optimiser la consommation (Puissance dissipée) et l'encombrement. Le Tableau 4.1 présente un état de l'art des amplificateurs faible bruit conçus pour l'application en radio astronomie

4.3 Description du transistor pHEMT XMBE-109-A043-2x400 μm

Le transistor à hétérojonction pseudomorphique pHEMT InGaAs-InP InAlAs (XMBE-A043-800 μm) qui a été choisi pour cette conception de circuits LNA est un composant avec $1\mu\text{m}$ et $200\mu\text{m}$ de longueur et de largeur de grille respectivement. Seuls la structure du transistor et les caractéristiques DC et RF seront discutées ici. Plus de détails sur ses propriétés physiques et techniques de traitement peuvent être trouvées dans [4, 5, 6].

| | Unité | [4.7] | [4.8] | [4.9] | [4.10] | [4.11] |
|---------------------------|-------|-------------------|-------------------------|-------------------------|-------------------|-------------------|
| <i>Freq</i> | GHz | .8-1.8 | .6-1.6 | .6-1.6 | .7-1.5 | .8-1.4 |
| <i>NF</i> | Db | <1 | <.5 | <1.2 | <.6 | .2 |
| <i>NF_{min}</i> | dB | .8 | .45 | | .45 | * |
| <i>Gain_{max}</i> | dB | >23 | >21 | >23 | >18 | >17 |
| $ S_{11} $ | dB | * | <-11 | <-15 | <-15 | <-11 |
| $ S_{22} $ | dB | * | * | * | * | <-7 |
| <i>IP_{1dB}</i> | dBm | * | * | * | * | * |
| <i>OP_{1dB}</i> | dBm | * | * | * | * | 2 |
| <i>IIP₃</i> | dBm | * | * | * | * | * |
| <i>OIP₃</i> | dBm | 15 | 15 | 5.7 | * | 12 |
| <i>V_{DD}</i> | V | * | * | * | * | 1 |
| <i>P_{DC}</i> | mW | 90 | 850 | 110 | 50 | 43 |
| <i>Topologie</i> | ----- | <i>Cascode</i> | <i>DLNF¹</i> | <i>DLRF²</i> | <i>Cascode</i> | <i>Cascode</i> |
| <i>Technologie</i> | ---- | <i>.18μm CMOS</i> | <i>.2μm pHEMT GaAs</i> | <i>.35 SiGe</i> | <i>.18μm CMOS</i> | <i>.09μm CMOS</i> |
| <i>Mes/sim</i> | ----- | <i>Mesuré</i> | <i>simulé</i> | <i>simulé</i> | <i>simulé</i> | <i>Mesuré</i> |

Tableau 4.1: Etat de l'art des LNAs en radioastronomie.

4.3.1 La structure épitaxiale du pHEMT A-043-800μm

Le transistor pHEMT 1 μm InGaAs-InP-InAlAs utilisé dans ce travail est présenté dans la Figure 4.1. Ce transistor est adapté pour des applications en radio-astronomie. C'est un composant de quatre doigts de 200 μm de largeur de grille et 1 μm de longueur.

La technique de croissance MBE (Molecular Beam Epitaxy: Épitaxie par jets moléculaires) est utilisé pour la fabrication de ce transistor. En examinant la structure de bas en haut, une couche tampon (buffer) non dopé In_{0.52}Al_{0.48}As de largeur 4350 Å est déposée au dessus d'un substrat semi-isolant en InP, les deux couches sont parfaitement adaptées en réseau.

Une couche de faible bande interdite non dopé In_{0.7}Ga_{0.3}As très tendues: qui forme, le canal est crû en dessous d'une épaisseur critique de cette composition (140 Å), cette couche est importante dans la mesure où elle reçoit le gaz bidimensionnel d'électrons (2DEG). La couche d'espacement (spacer) est constituée d'un In_{0.52}Al_{0.48}As adaptée non dopée d'une épaisseur de 100 Å, est utilisé pour séparer spatialement la région fortement dopé (Doped Delta region) du canal actif. Une couche donneuse de grande bande interdite (gap) dopée In_{0.52}Al_{0.48}As

d'épaisseur 300 Å est formée pour fournir les électrons libres dans le 2DEG. Une couche superficielle (appelée *Cap Layer*) est formée par un matériau de faible gap $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ d'épaisseur de 500 Å, pour permettre la réalisation des contacts ohmiques de source et de drain. Cette couche est généralement fortement dopée afin de diminuer la valeur des résistances parasites de contact et donc celles des résistances d'accès [4].

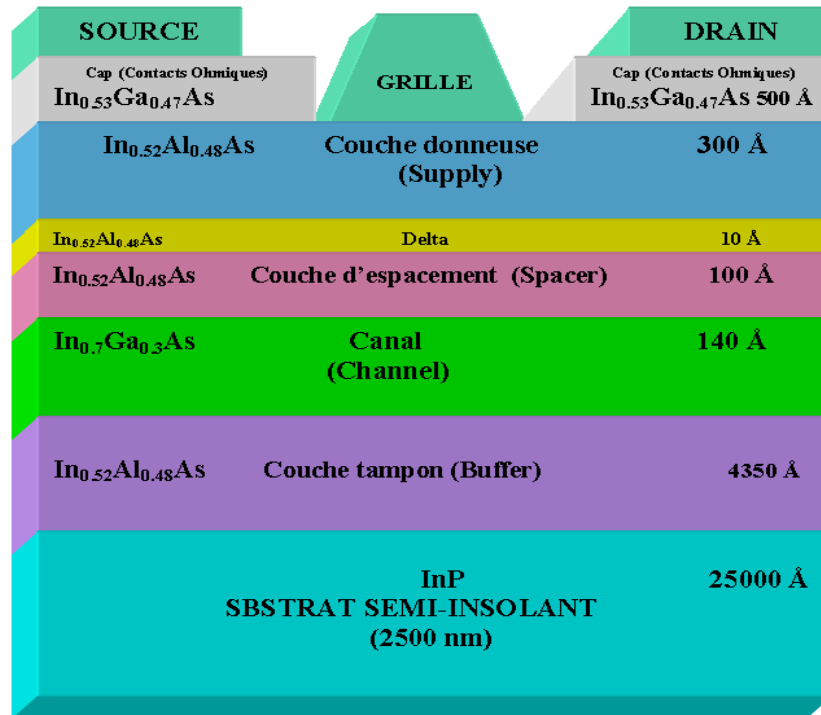


Figure 4.1 : Structure épitaxiale du transistor pHEMT utilisé A-043-2x400µm.

4.3.2 Modélisation du transistor A-043-4x200 µm

Le modèle linéaire en petits signaux et des techniques d'extraction des modèles en grands signaux, introduits dans le chapitre 2, ont été appliquées pour notre transistor pHEMT. Une excellente concordance a été obtenue entre les données mesurées et modélisées comme le montre la Figure 4.2 pour les caractéristiques RF et Figure 4.3 pour le DC.

Le facteur de bruit minimum NF_{\min} prédit par le modèle en petits signaux en utilisant une analyse Fukui est comparée à celui obtenue à partir du modèle non linéaire en grands signaux comme le montre la Figure 4.4, donnant un facteur de bruit autour de 0.48 dB à 2 GHz.

La conception du LNA nécessite une modélisation petits et grands signaux du transistor.

Dans ce travail les paramètres S mesurés ont été utilisés pour obtenir les paramètres du modèle en petits signaux du transistor. Une approche simple pour extraire les éléments extrinsèques et intrinsèques du modèle linéaire petit signal de dispositifs HEMT est utilisée dans ce travail (voir Chapitre 2).

Cette approche utilise deux séries de mesures des paramètres S à deux conditions de polarisation différentes. L'extraction se fait selon deux étapes principales. Dans la première étape: les paramètres extrinsèques indépendants de la polarisation sont extraits. Dans la deuxième étape, tous les paramètres intrinsèques sont extraits à partir d'un point de polarisation particulier. Les paramètres obtenus sont ensuite optimisés afin que le modèle (simulé) s'ajuste aux données mesurées aussi précisément que possible à l'aide du logiciel CAD d'Agilent Technologies, (ADS2006) [2].

Le modèle non linéaire EE-HEMT (modèle disponible dans ADS) est extrait en utilisant la modélisation et la mesure du transistor à l'aide du logiciel d'automatisation, IC-CAP. Puis le modèle extrait peut être facilement exporté vers ADS où des algorithmes d'optimisation sont appliqués jusqu'à ce que les modèles des caractéristiques DC et RF du pHEMT donnent une meilleure précision et bonne concordance entre les caractéristiques mesurées et simulées. Les comparaisons données dans les Figures 4.2 et 4.3, entre les caractéristiques mesurées et modélisées DC et RF montrent un excellent ajustement pour le modèle non linéaire extrait.

ADS peut être utilisé pour calculer les paramètres du bruit (NF_{min} , Z_{opt} , R_n) à partir du modèle large signal du transistor. On doit activer le contrôleur des paramètres S pour la simulation du bruit, les caractéristiques du bruit de ce transistor sont illustrées à la Figure 4.4, 4.5.

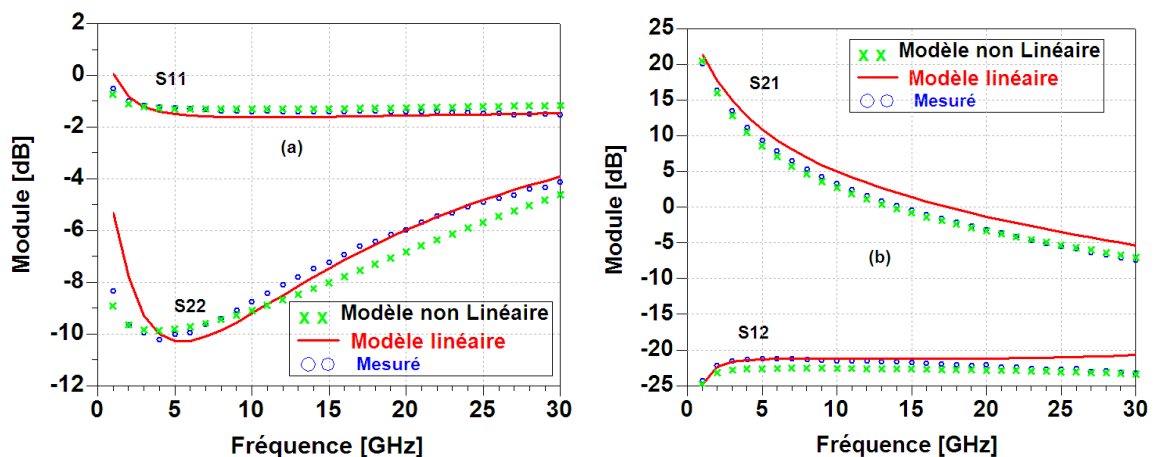


Figure 4.2 : Comparaison entre les caractéristiques RF mesurées et simulées du transistor pHEMT A-043-800µm du utilise : (a) les coefficients de réflexion, (b) : le gain et le coefficient d'isolation.

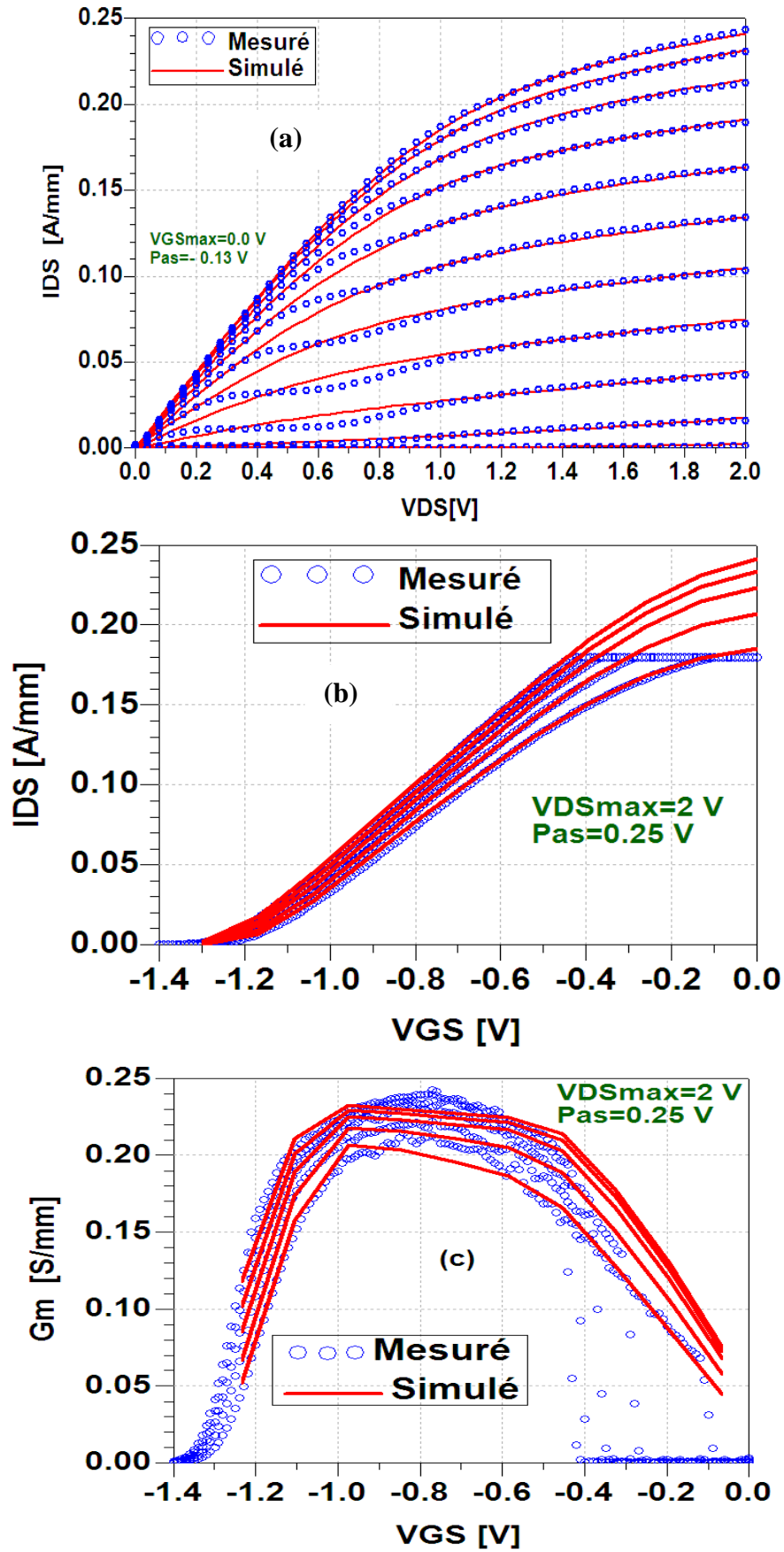


Figure 4.3 : Comparaison entre les caractéristiques DC mesurés et simulés du transistor pHEMT A-043-800 μ m: (a) Courbes I-V (b) Courbes I_D-V_{GS} (c) Transconductance (g_m).

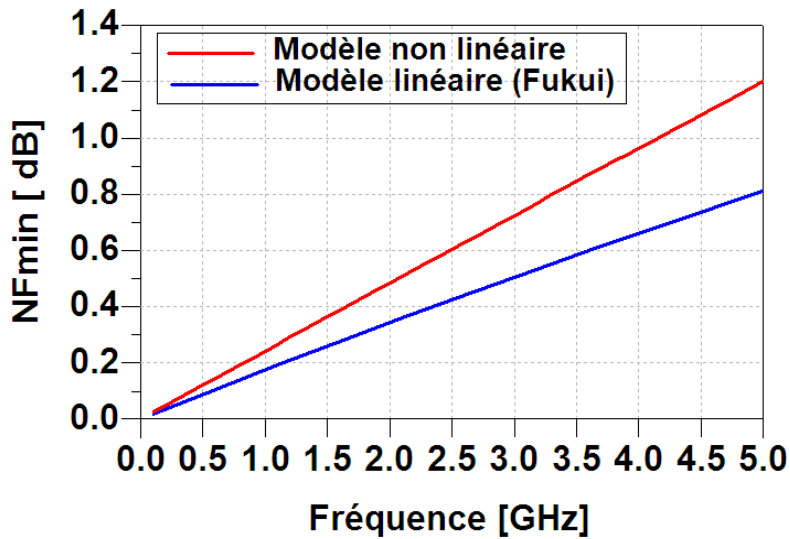


Figure 4.4 : Calcul du facteur de bruit minimal NF_{min} du transistor pHEMT A-043-800 μm .

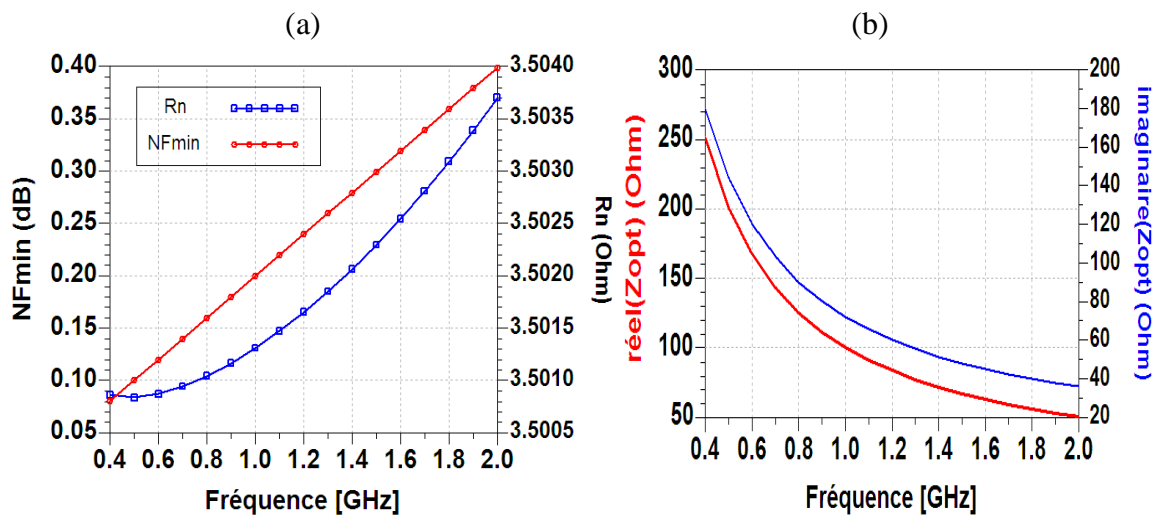


Figure 4.5 : Caractérisation du bruit du transistor InP pHEMT: (a): résistance du bruit (R_n): Facteur de bruit minimal (NF_{min}); (b): L'impédances Optimale pour adaptation de bruit Z_{opt} .

4.4 Spécifications des circuits RF

Toute conception de circuit microonde commence par la définition des spécifications relatives au cahier des charges, qui représentent les objectifs qui doivent être atteints par le futur circuit. Ces spécifications déterminent les choix du concepteur vis-à-vis la sélection de la technologie utilisée, de la topologie du circuit, mais également des analyses et méthodes CAO, nécessaires à atteindre ces objectifs.

Le Tableau 4.2 présente une liste non exhaustive des spécifications pouvant être définies pour un amplificateur faible bruit large bande.

| Spécification | Objectif atteint | Tolérance accepté | Unité |
|---|---------------------------------|-------------------|--------|
| Fréquence | 0.4-2 | | GHz |
| Bande passante | 1.6 | | GHz |
| Gain | >10 | ± 20 % | dB |
| Figure de bruit | <0.6 (NF _{min} +0.2dB) | ±30% | dB |
| Réflexion d'entrée | <-10 | ± 20 % | dB |
| Réflexion de sortie | <-10 | ± 20 % | dB |
| Puissance de sortie à 1 dB de compression | ----- | ----- | ----- |
| Le point d'interception d'ordre 3 | ----- | ----- | dBm |
| Alimentation DC | 1 à 2 | ----- | Volts |
| Puissance Dissipée DC(consommation en DC) | ----- | ----- | mWatts |

Tableau 4.2 : Liste de spécifications d'un amplificateur LNA.

Parmi les performances standard le plus souvent spécifiées pour tester des circuits ou systèmes RF durant la phase de test de gros volumes, on peut citer le gain, le point de compression à 1dB, le facteur de bruit, la distorsion harmonique, distorsion de l'harmonique d'ordre trois (IIP3 : "3rd order Input Intercept Point").

Le circuit LNA conçu doit satisfaire les contraintes ci-dessous :

- Fréquence d'utilisation: (0.4 – 2 GHz).
- Gain système >10 dB adapté sur 50 Ohms.
- Facteur de bruit du système inférieur à 0.6 dB.
- Coefficient de réflexion d'entrée S_{11} < -10 dB, coefficient de réflexion de sortie S_{22} < -10 dB

Nous cherchons la solution la plus simple qui permet de satisfaire de mieux le cahier de charge et optimisée pour les contraintes.

4.5 Conception et description des architectures de l'amplificateur à faible bruit LNA

Le principal objectif de cette étude est de concevoir et de réaliser un amplificateur possédant une architecture la plus simple possible. On s'est fixé comme objectif la réalisation de deux amplificateurs fonctionnant dans une large bande.

Ce circuit est un amplificateur faible bruit (LNA) fabriqué en technologie InP. Les transistors à hétérojonction pHEMT utilisés présentent l'avantage d'avoir des fréquences de fonctionnement plus élevées que les transistors MOS.

Les deux paramètres qu'il est indispensable de soigner sont le bruit et le gain. La simplicité du schéma des LNA ne doit pas faire oublier que sa réalisation n'est pas dissociable de celle de ses éléments constitutifs. La structure la plus adaptée à un besoin doit donc être recherchée, tant en terme de performances que de place occupée ou encore de reproductibilité.

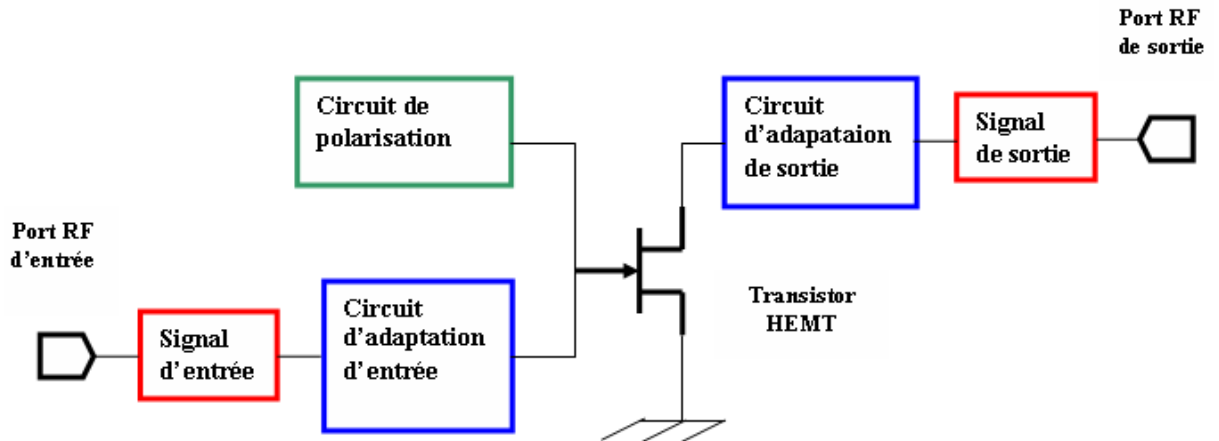


Figure 4.6 : Le schéma fonctionnel du LNA.

Dans ce travail, on conçoit deux amplificateurs à faible bruit LNAs large bande, pour atteindre les objectifs des spécifications du cahier de charge: minimisation du bruit et fournir un gain fort et plat tout le long de la gamme de fréquence d'intérêt. La difficulté majeure dans la conception sur de telle largeur de bande est d'obtenir un compromis entre un gain fort et plat et un faible bruit et de bonne adaptation d'entrée et de sortie sur toute la bande de fonctionnement.

Les impédances présentées par le transistor en entrée et en sortie varient en fonction de la fréquence: elles sont supérieures à 50Ω aux basses fréquences et inférieures à 50Ω aux hautes fréquences. On présente succinctement les deux topologies d'amplificateur à faible bruit permettant de remplir les spécifications.

4.5.1 L'amplificateur à faible bruit monté en source commune cascodé à dérégression inductive

La Figure 4.7 présente le schéma électrique de l'amplificateur conçu. La configuration utilisée est une structure à source commune (T_1) avec dérégression inductive. Cette configuration présente un bon compromis entre la figure de bruit, le gain et l'adaptation en puissance en entrée. L'adjonction d'un étage cascode (T_2) garantit l'isolation entre la sortie et l'entrée de l'étage et prévient tout problème d'instabilité.

On désire concevoir un LNA à source dérégression par inductance dont l'impédance d'entrée est adaptée à la source pour avoir une puissance disponible (available power) la plus grande possible. On considère que l'impédance de la source est $R_S=50 \Omega$. Parmi toutes les architectures de LNA proposées dans la littérature scientifique, on a choisi la structure présentée sur la Figure 4.7.

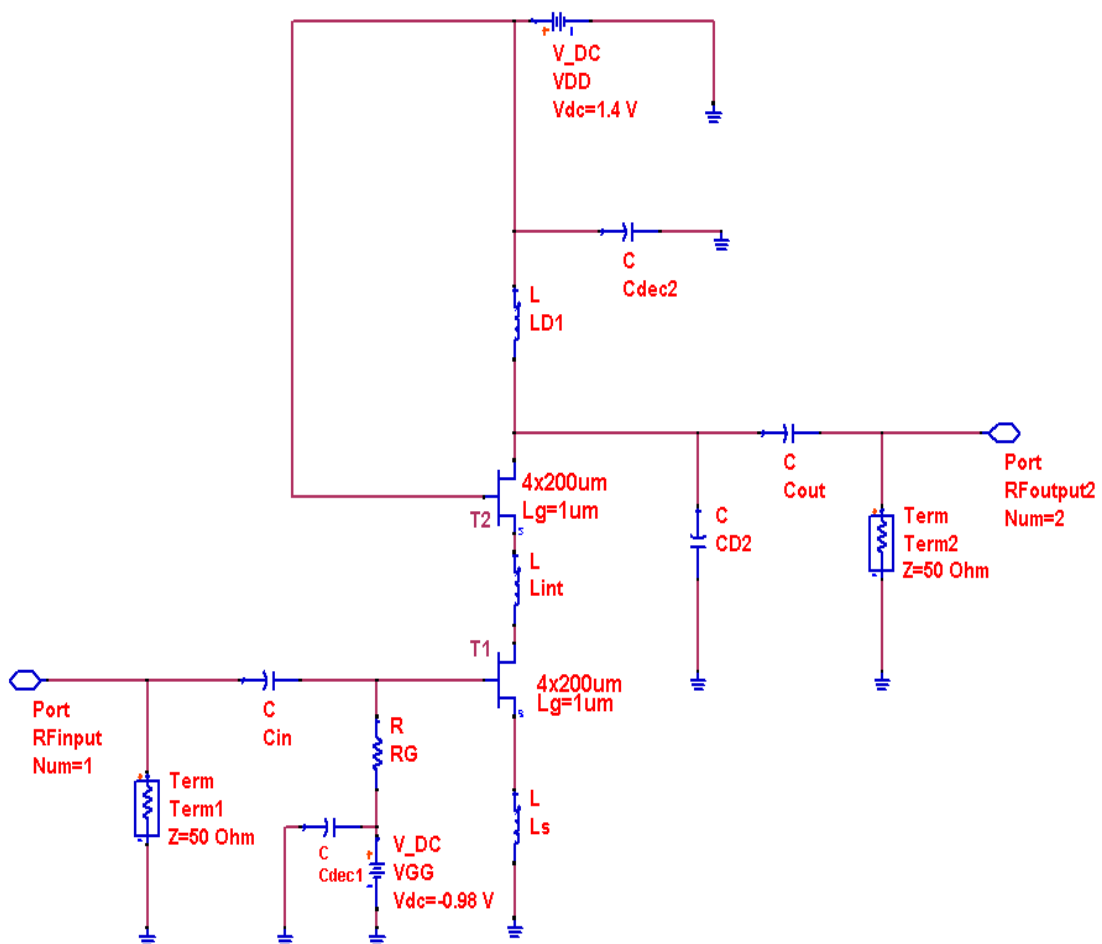


Figure 4.7 : L'amplificateur LNA monté en cascode à dérégression inductive.

Il se compose d'un étage de polarisation, d'un étage d'amplification cascode à dégénérescence inductive et de réseaux d'adaptation en entrée et en sortie. Le point de fonctionnement du transistor est choisi dans le but de donner les meilleures performances en bruit, les conditions de polarisation sont données comme suit :

- La tension d'alimentation DC: 1.4 V.
- La tension du drain $V_{DS}=1$ V.
- Le courant du drain $I_D=36$ mA (ce courant est choisi 20 % I_{DSS})
- La tension d'alimentation de la grille $V_{GS}=-0.98$ V.

Le circuit LNA cascode est constitué de :

- La résistance R_G , l'inductance L_{D1} ont pour rôle d'assurer la polarisation du transistor (1 V, 36 mA) (Tableau 4.3).
- Le condensateur C_{in} , l'inductance L_s constituent le réseau d'adaptation d'entrée qui transfère l'impédance d'entrée du circuit dans 50Ω .
- L'inductance L_{int} est le circuit d'inter-adaptation.
- Les condensateurs C_{D2} et C_{out} constituent le réseau d'adaptation de sortie qui transfert l'impédance de sortie du circuit dans 50Ω .

On a choisi d'utiliser la configuration cascode car elle permet de minimiser l'impact des capacités grille-drain des HEMTs, d'améliorer l'unilatéralité de chaque étage et d'augmenter la stabilité. Les réseaux d'adaptation en entrée et en sortie assurent à la fois l'adaptation, la stabilisation et la polarisation du transistor. Chaque amplificateur est stabilisé dans sa bande de fréquence de fonctionnement (0.1-2 GHz) et il est inconditionnellement stable dans la bande (0.1-30 GHz). Les capacités C_{dec1} et C_{dec2} assurent le découplage des alimentations de grille et de drain du transistor.

| I_{D1} [mA] | V_{D1} [V] | I_{D2} [mA] | V_{D2} [V] | I_{G1} [pA] | V_{G1} [V] | I_{G2} [μ A] | V_{G2} [V] | P_{D1} [mW] | P_{D2} [mW] |
|---------------|--------------|---------------|--------------|---------------|--------------|---------------------|--------------|---------------|---------------|
| 36 | 1 | 36 | 1.037 | 414 | 0.980 | 69.93 | 1.4 | 36 | 37.63 |

Tableau 4.3 : Les grandeurs en DC du LNA cascode.

4.5.2 L'amplificateur à faible bruit source commune à deux étages cascades à dégénérescence inductive

Afin d'augmenter le gain sur la bande de fonctionnement du LNA, il est possible de cascader plusieurs cellules source commune. Cette mise en cascade permet d'obtenir un gain plus élevé et plus plat sur une large bande.

La seconde configuration LNA proposée dans ce travail est une structure cascadée à deux étages, dans le but d'améliorer les performances du LNA et les spécifications du cahier de charge: en minimisant le facteur de bruit et obtenant un gain plat et supérieur à 20 dB.

Le premier étage est conçu pour minimiser le facteur de bruit tandis que le second étage pour améliorer le gain. Les conditions de polarisation sont présentées dans le tableau 4.4

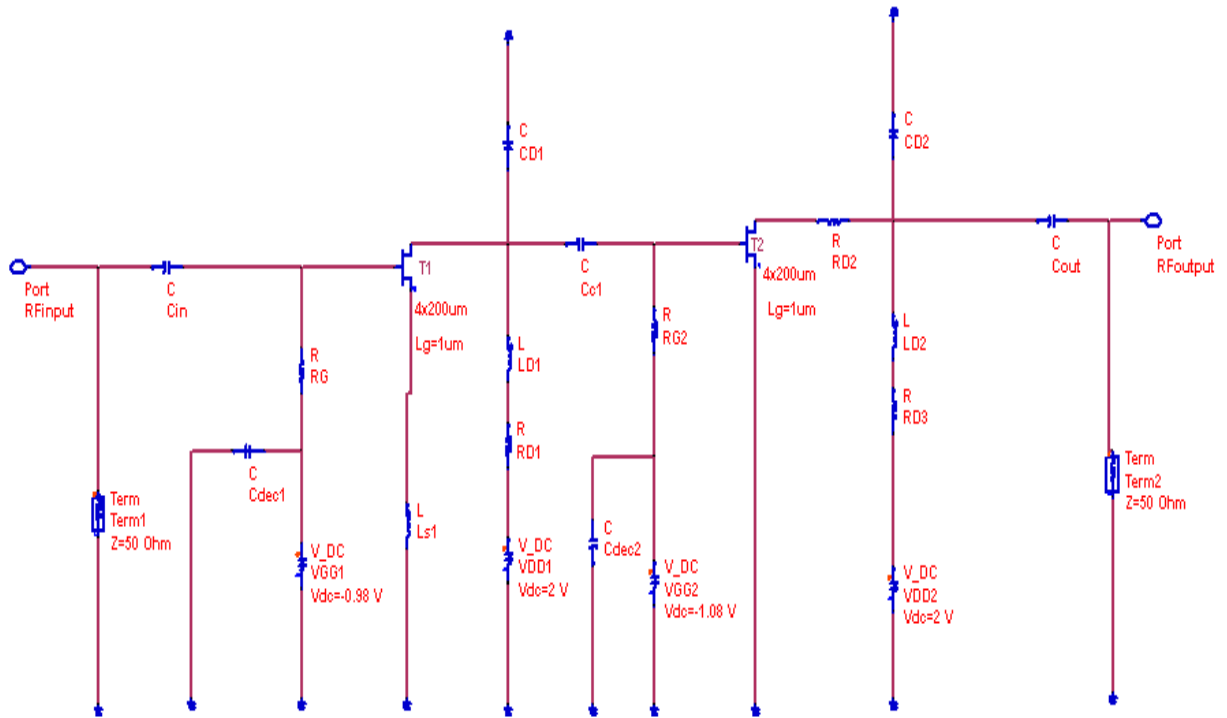


Figure 4.8 : L'amplificateur LNA monté en cascade.

| I_{D1} [mA] | V_{D1} [V] | I_{D2} [mA] | V_{D2} [V] | I_{G1} [pA] | V_{G1} [V] | I_{G2} [μ A] | V_{G2} [V] | P_{D1} [mW] | P_{D2} [mW] |
|---------------|--------------|---------------|--------------|---------------|--------------|---------------------|--------------|------------------|------------------|
| 36 | 1 | 19.4 | 0.974 | 414 | 0.980 | 414e-6 | 1.08 | 37 | 18.9 |

Tableau 4.4 : Les conditions de polarisation du LNA double étage cascadié.

4.6 Simulation et résultats des amplificateurs LNAs

Finalement, une fois que les différents étages de l'amplificateur sont réalisés, on simule les performances globales de l'amplificateur, ainsi qu'un certain nombre d'analyses complémentaires, telles que l'analyse de la stabilité et des études de linéarité. Il est cependant à noter que pour que ces études soient efficaces et notamment l'analyse de stabilité de l'amplificateur, elles ne doivent pas être conçues comme des analyses finales, mais doivent être implémentées et suivies tout au long de la conception, afin de corriger un problème au plus tôt sans reprendre tout le processus de conception [12].

Les circuits LNAs large bande proposés sont simulés en utilisant le logiciel des circuits radiofréquences ADS (Advanced Design System).

Ces circuits fonctionnent sous une condition de polarisation donnée par $V_{DS}=1$ V; $I_{DS}=20$ % $I_{DSS}= 36$ mA. Ce point de polarisation est choisi dans le but de donner les meilleures performances en bruit.

4.6.1 L'amplificateur à faible bruit à structure cascode

Le modèle large signal non linéaire EE-HEMT disponible dans ADS est utilisé pour cette conception (voir Chapitre 2).

En utilisant le logiciel de simulation des circuits radiofréquence, cet amplificateur est simulé en calculant les performances: les paramètres S et le facteur de bruit et la linéarité du circuit. On a utilisé les techniques d'optimisation et d'ajustement d'ADS pour fixer les meilleures valeurs des composants du circuit (résistance, inductance, capacité) donnant un compromis entre un gain fort et un faible facteur de bruit assurant une adaptation et une stabilité du circuit en entrée et en sortie.

Le circuit LNA proposé présente les résultats de simulation montrés dans les Figure 4.9, 4.10:

La simulation donne les résultats suivants:

- Un gain supérieur à 10 dB: ($S_{21}= 13$ dB à la fréquence 1.4 GHz).
- Un coefficient de réflexion en entrée et en sortie $S_{11}< -5$ dB; $S_{22}< -5$ dB; pour les fréquences > 1 GHz
- A la fréquence 1.4 GHz $S_{11}= -7$ dB, $S_{22}= -7$ dB. Le coefficient de réflexion en entrée S_{11} est satisfaisant (inférieur à -7 dB de 1.4 GHz à 2 GHz). Le coefficient de réflexion en sortie S_{22} est aussi satisfaisant (inférieur à -7 dB de 0.7 GHz à 1.4 GHz).
- Le facteur de bruit $NF< 0.6$ dB; $NF=0.52$ dB; $NF_{min}=0.413$ dB à 1.4 GHz.
- Le gain associé au bruit > 15 dB.

La stabilité est inconditionnelle sur toute la bande d'intérêt (Figure 4.9) et aussi vérifiée sur une large bande (0-30 GHz); le transistor peut être adapté en entrée et en sortie par n'importe quelle impédance.

Après avoir simulé le comportement linéaire de cet amplificateur, on va étudier son comportement non linéaire, on détermine le point de compression à 1 dB ensuite le point d'interception d'ordre 3 IIP3. Pour calculer ce point, on utilise l'outil «Harmonic Balance» du logiciel ADS, ainsi que des ports qui nous permettent d'appliquer des puissances variables à l'entrée de l'amplificateur.

Pour obtenir la courbe qui nous donne le point de compression à 1dB, on fait varier la puissance d'entrée et on regarde le comportement en puissance de la fréquence fondamentale en sortie de l'amplificateur. Le point de compression est déterminé en superposant une droite à la zone de linéarité de la courbe $P_s=f(P_e)$ (P_e : puissance d'entrée; P_s : puissance de sortie). Lorsque nous avons un écart de 1 dB entre la droite et la courbe $P_s=f(P_e)$, on obtient le point de compression. Dans notre cas, nous obtenons un point de compression à 1dB avec une puissance de sortie (Figure 4.11) $P_s=-10$ dBm pour une puissance d'entrée $P_e=-22$ dBm. De plus, le gain de l'amplificateur est de 12 dB à la fréquence 1.5 GHz. Donc le point de compression à 1 dB: -22 dBm.

Pour obtenir le point d'interception d'entrée d'ordre 3, on va appliquer à l'entrée de l'amplificateur deux fréquences proches qui sont $F_1=1.4$ GHz et $F_2=1.6$ GHz, ainsi nous avons un $\Delta f = 100$ MHz. Pour cela on utilise deux ports de puissance qui sont réglés respectivement aux fréquences précédentes. Sur la Figure 4.12: la courbe de pente 1 correspond à la puissance du fondamental 1.5 GHz et la courbe en rouge de pente 3 à celle de la fréquence 1.8 GHz ($2F_2-F_1$). Le point IP3 est déterminé en faisant une interpolation des parties linéaires de ces deux courbes. On obtient le point IP3 pour une puissance d'entrée $P_e = -21$ dBm et une puissance de sortie $P_s = -30$ dBm.

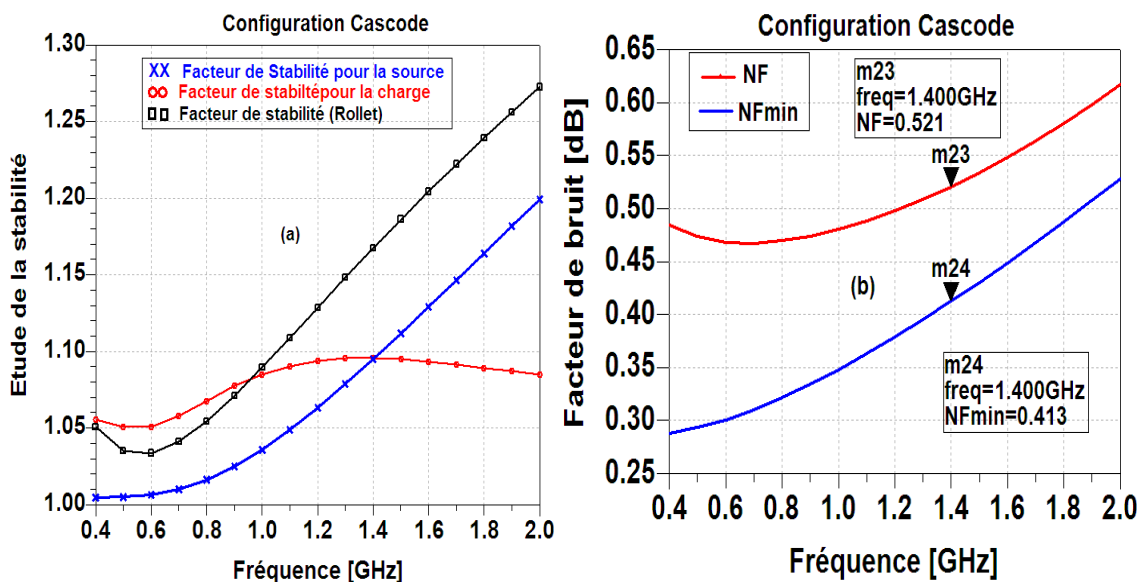


Figure 4.9 : (a) Etude de la stabilité du LNA cascode, (b) Facteur de bruit.

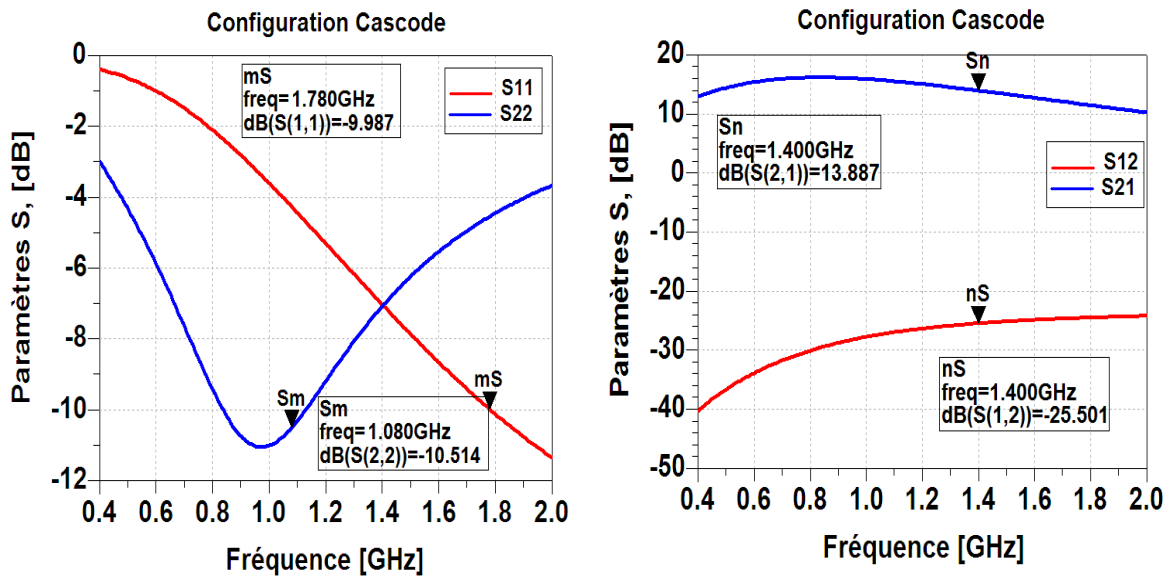


Figure 4.10 : Les performances des amplificateurs LNAs : simulation des paramètres S du montage cascode.

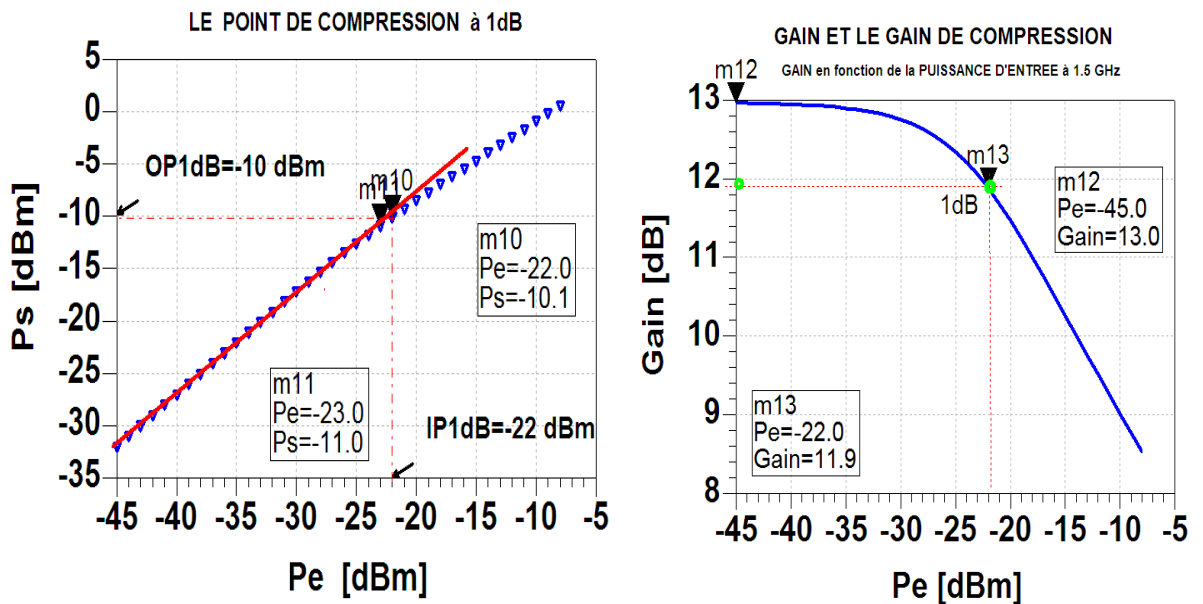


Figure 4.11 : Le point de compression à 1 dB de la configuration cascode

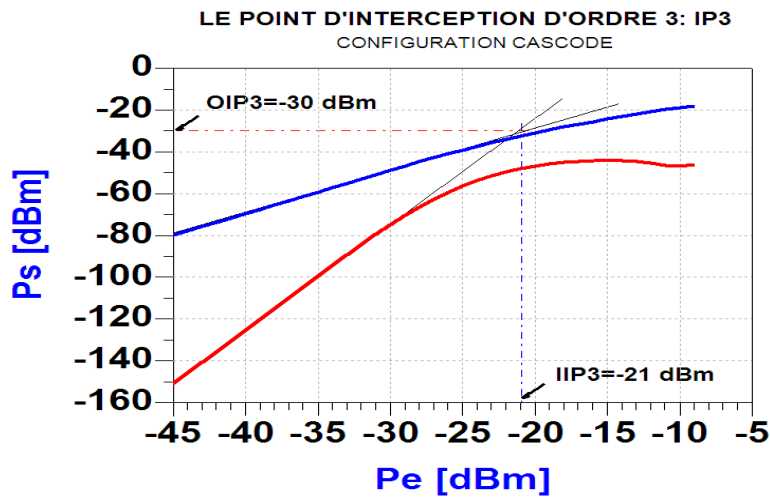


Figure 4.12: Détermination du point IIP3 de l'amplificateur cascode.

4.6.2 L'amplificateur à faible bruit à structure double étage cascadée

La simulation de ce LNA se fait de la même façon que le circuit précédent. Les résultats de simulation du montage source commune double étage cascadé sont meilleures et vérifient les spécifications du cahier de charge (Figures 4.13, 4.14 et 4.15). Les performances de ce LNA sont:

- Un gain supérieur à 27 dB ($S_{21}=31$ dB à la fréquence 1.4 GHz).
- Un coefficient de réflexion en entrée: $S_{11} < -5$ dB.
- Une amélioration du coefficient de réflexion en sortie: $S_{22} < -26$ dB. Pour la fréquence > 1 GHz
- Un facteur de bruit $NF < 0.6$ dB.
- Le point de compression à 1 dB: $IP_{1dB} = -26$ dBm, $OP_{1dB} = 3.5$ dB, le gain de compression : 29 dB.
- Le point d'interception d'entrée d'ordre 3: $IIP3 = -4$ dBm, $OIP3 = 25$ dBm

La stabilité inconditionnelle est aussi assurée pour ce LNA sur toute la bande d'intérêt et sur une bande étendue (0.4-30 GHz) pour éviter risque d'oscillation et de disfonctionnement du LNA. Le gain en puissance s'est amélioré car on a un transfert de la puissance de l'entrée vers le circuit.

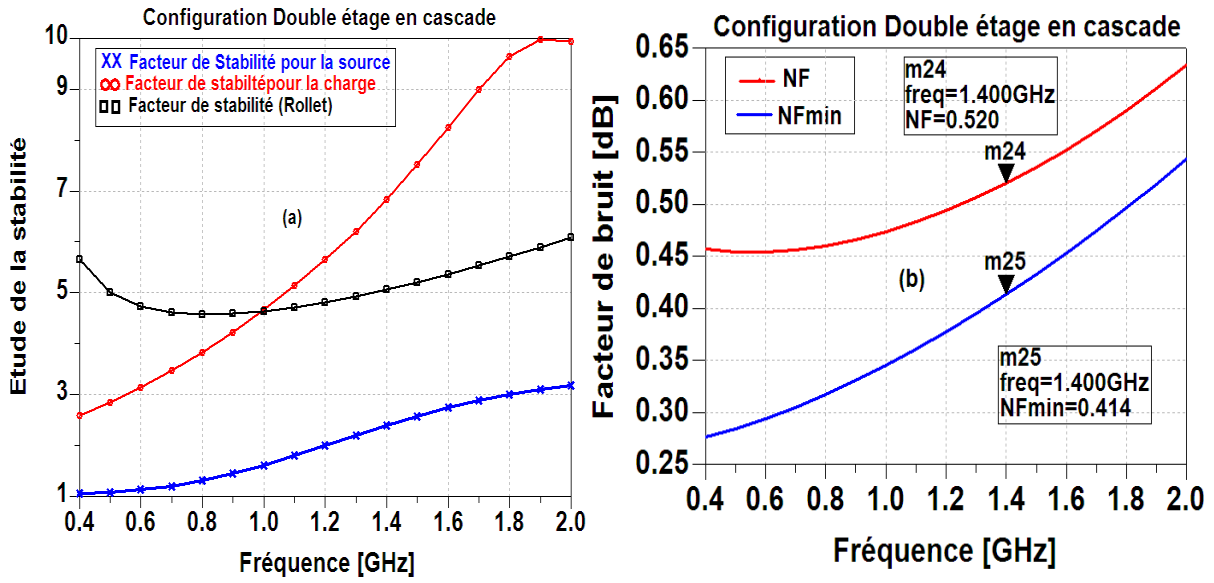


Figure 4.13: (a) Etude de la stabilité du LNA double étage cascadié, (b) Facteur de bruit.

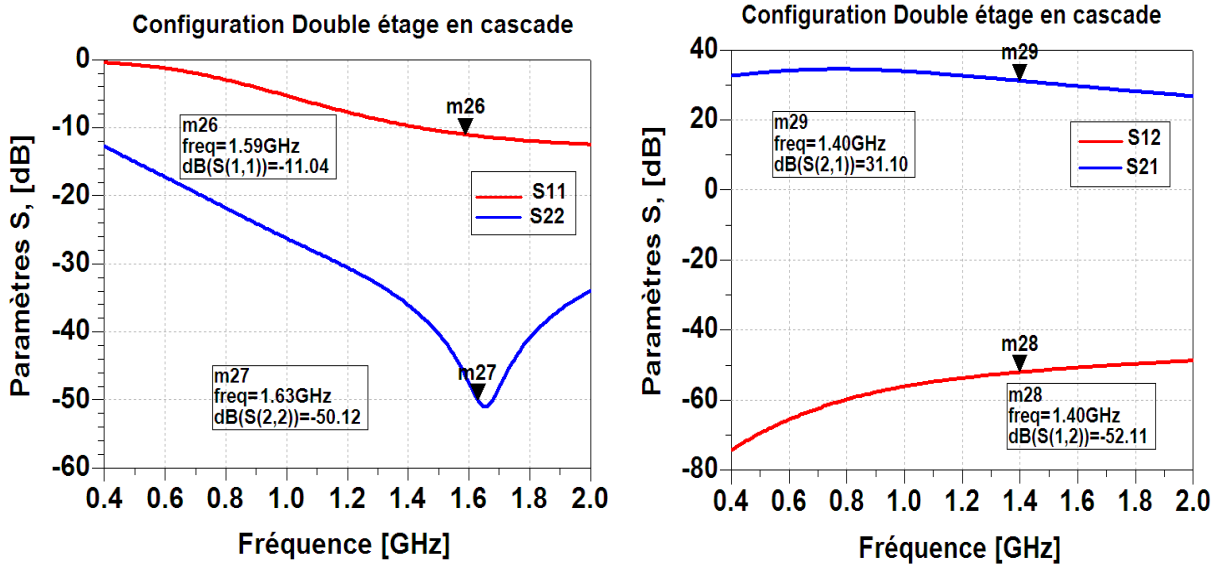


Figure 4.14: Les performances des amplificateurs LNAs: simulation des paramètres S du montage double étages cascadiés.

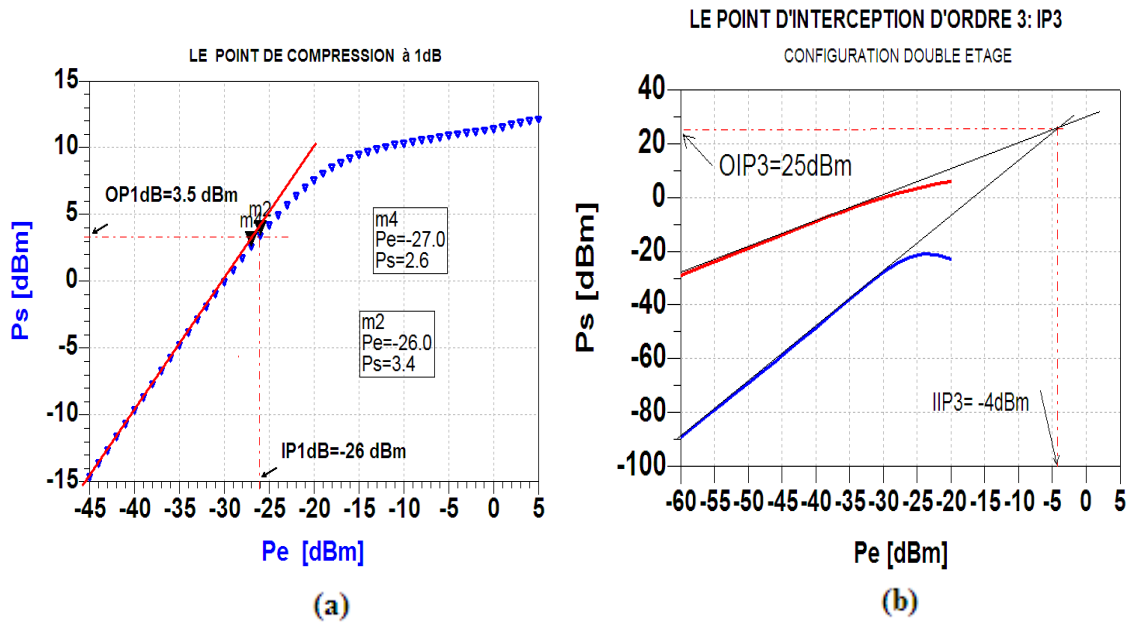


Figure 4.15 : (a) : Le point de compression à 1 dB, (b) : Détermination du point IIP3 de l'amplificateur LNA double étage cascadié.

4.7 Génération des Layouts

La conversion des circuits MMIC en layout ou dessin masque peut être accompli de deux façons:

- Utilisation des logiciels commerciaux de CAD : génération manuelle des layouts à partir de la conception du circuit (Schematic).
- Utilisation des outils des logiciels plus développés et plus avancés comme le logiciel Cadence ou HP/EESOF qui permettent de transformer le circuit conçu avec les éléments idéaux en layout en temps réel.

Dans ce travail, le logiciel d'Agilent ADS (Advanced design system) utilisé pour la conception et la simulation des circuits électriques peut générer le layout automatique à partir du circuit schématique. Le logiciel ADS contient une bibliothèque pour les éléments passifs en technologie micro-ruban (microbande ou microstrip) (inductance, capacité, résistance et les raccordements et les jonctions (Coude, Tee, Chanfrein, Cross-jonction (croix) ...etc.)).

La procédure de conception des circuits MMICs se décline en deux méthodes qui sont les suivantes :

- ❖ La première consiste à concevoir le circuit avec des éléments idéaux, le stabiliser de la même façon, puis l'adapter. A la fin on remplace les éléments idéaux par des éléments réels.
- ❖ La seconde méthode consiste à concevoir le circuit en utilisant directement des éléments réels qui permettent une meilleure approche comportementale de l'amplificateur.

Dans la section précédente, on a conçu ces circuits en choisissant la première méthode comme première étape de cette conception.

Dans cette partie, on va remplacer tous les éléments passifs idéaux par des éléments réels en utilisant la technologie microstrip; le circuit dans ce cas est plus proche de la réalité physique. Cette conception à l'aide des éléments réels nous permet la génération du layout; elle a pris compte de tous les éléments réels passifs utilisés dans les circuits de polarisation et d'adaptation et les composants de couplage et de découplage: inductance spirale, capacité interdigitée ou TFC, résistance TFR et les « via holes » des sources du transistor, les lignes qui permettent la soudure des pattes du transistor, les lignes de rallongement (Coude, Chanfrein, Step, Tee, Cross junctions...etc.).

Un circuit intégré consiste en la réalisation sur un même support des éléments actifs (transistors, diodes) et des éléments passifs (lignes de propagation, résistances, capacités, inductances). Plusieurs structures de propagation sont possibles pour la réalisation de MMICs. On cite les deux principales structures utilisées pour la réalisation de circuit la ligne coplanaire et la ligne micro-ruban, pour chaque structure il y a différents modes de propagation.

Les deux technologies principales utilisées en circuits MMIC sont la ligne micro-ruban (*microstrip*) et le guide d'onde coplanaire (*CPW*) comme montré sur la figure 4.16. La principale différence se situe au niveau du plan de masse qui est situé face arrière en technologie micro-ruban et face avant en technologie CPW.

4.7.1 Rappel sur la technologie micro-ruban

La technologie microstrip consiste en un conducteur métallique mince déposé sur la face supérieure d'un substrat diélectrique. La face inférieure du substrat est entièrement recouverte de métal (plan de masse) [13-22]. Une ligne microstrip est constituée d'un ruban conducteur placé sur une face d'un matériau diélectrique dont l'autre face constitue un plan de masse (Figure 4.16). L'exemple le plus connu de ligne microstrip est le circuit imprimé double face dont l'une des faces est entièrement cuivrée. De nombreuses études ont montré qu'une telle ligne de transmission est le siège d'une onde se propageant en mode quasi-TEM (Transverse Electro-Magnetic), c'est à dire que les champs électrique et magnétique sont perpendiculaires à l'axe de la ligne selon lequel s'effectue la propagation.

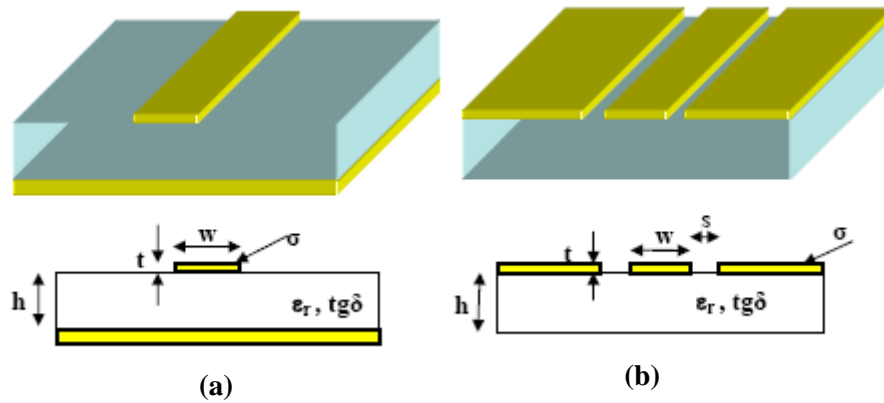


Figure 4.16 : Lignes de transmission : (a) technologies microstrip, (b) CPW.

La propagation du signal hyperfréquence se fait entre la métallisation arrière et le ruban métallique. L'impédance caractéristique d'un microstrip dépend de ses dimensions et de la nature du matériau isolant.

On trouve dans la littérature plusieurs équations empiriques complexes permettant de calculer l'impédance caractéristique à partir des données géométriques ou inversement de déterminer les dimensions permettant d'obtenir une ligne d'impédance donnée. Pour plus de détails, on pourra se référer à un article de synthèse de [13].

Il est essentiel de connaître les paramètres caractéristiques de la ligne micro-ruban (voir Figure 4.16, 4.17, 4.18):

1- Pour le substrat, son épaisseur h et sa permittivité relative complexe: $\epsilon_r^* = \epsilon_r - j\epsilon_i = \epsilon_r(1 - j\tan\delta)$

La partie réelle ϵ_r est la constante diélectrique du matériau tandis que la partie imaginaire caractérise ses pertes.

2- Pour la bande métallique, sa largeur w qui est en général de l'ordre de grandeur de h :

$$0.1 \leq \frac{w}{h} \leq 10 \text{ et son épaisseur } t \text{ (35 } \mu\text{m)}.$$

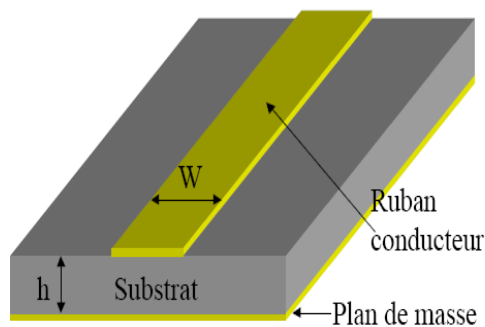


Figure 4.17 : Structure de la ligne microstrip.

Le substrat, caractérisé par sa permittivité diélectrique et son épaisseur, sert de support mécanique et de support de propagation du champ électromagnétique. Selon les formules élaborées par E.O. Hammerstad et publiées en 1975 [13, 14, 18], l'impédance caractéristique d'une ligne microstrip est déterminée par le rapport w/h pour plus de détails voir Annexe 4.

Cette structure présente un principal inconvénient par rapport à la structure coplanaire. La structure de propagation n'est pas planaire ce qui nécessite un traitement de la face arrière du substrat et la présence de via pour la connexion d'éléments passifs. Cependant, cette technologie est la plus utilisée industriellement du fait de l'existence de modèles de simulations précis qui permettent une bonne conception des circuits.

4.7.2 Etape de génération de dessin masque

Pour générer ce dessin on a passé par quelques étapes :

➤ Etape n° 1 Transformation du circuit

On a remplacé tous les éléments passifs de schématique constitués des éléments idéaux à constante localisés (lumped element) (résistances, condensateur, inductance) par des lignes de transmission à éléments à constantes distribuées disponible dans la bibliothèque d'ADS en technologie micro-ruban (microstrip) (inductance spirale, condensateur interdigité, résistance fine couche (thin film resistor)) (Figure 4.18). Par l'utilisation du logiciel Matlab et l'outil LineCalc d'ADS, On a procédé aux étapes suivantes :

- Calcul des paramètres physiques des lignes de transmission.
- Calcul des paramètres physique des inductances spirales (suivant les valeurs).
- Calcul des paramètres physiques des condensateurs TFC (thin film capacitor).
- Calcul des paramètres physiques des résistances TFR (thin film resistor).

➤ Etape n° 2 Schéma physique du transistor

Le transistor est remplacé par son schéma physique.

➤ Etape n° 3 Génération automatique du layout

Lier le tout ensemble en générant le layout dans le logiciel momentum (sous ADS), en insérant les connections nécessaires.

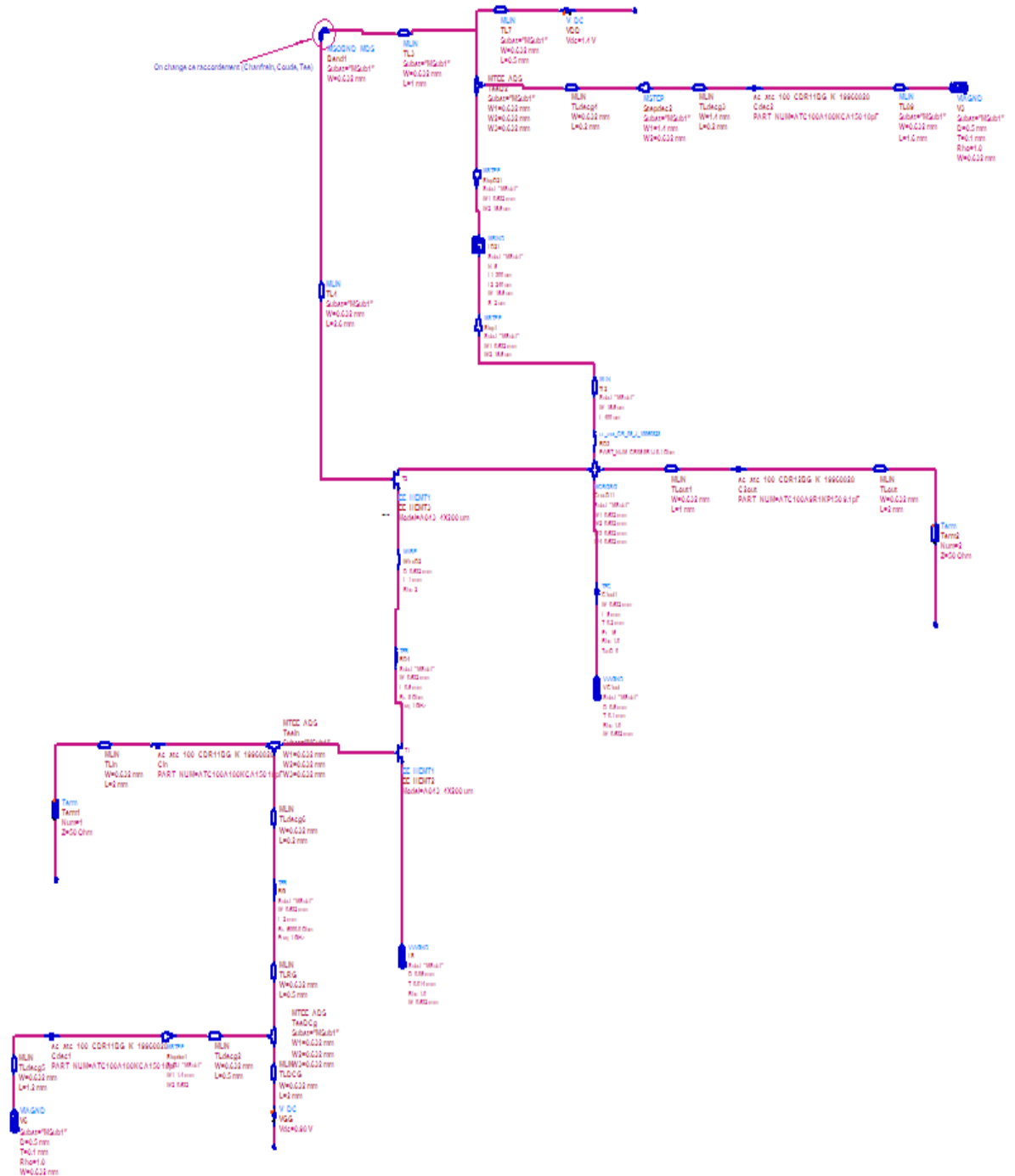


Figure 4 .18 : L'amplificateur LNA cascode complet conçu avec des composants distribués.

4.7.3 L'étude pratique de l'amplificateur LNA

Pour réaliser un amplificateur à faible bruit (LNA) en technologie MMIC microstrip (voir Annexe 4, 5, 6) nous avons choisi un substrat d'alumine (Figure 4.19) avec les paramètres suivants :

$\epsilon_r = 9.6$ (la constante diélectrique).

$h = 0.635 \text{ mm}$ (l'épaisseur du substrat).

$t = 10 \text{ }\mu\text{m}$ (l'épaisseur du conducteur).

w (la largeur du conducteur).

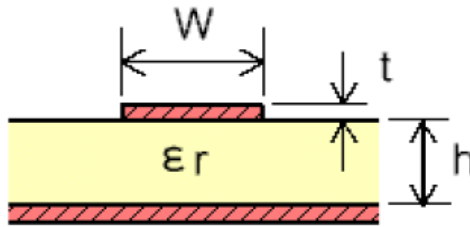


Figure 4.19: Le substrat en microstrip et ses paramètres caractéristiques.

On choisit de réaliser cet amplificateur en technologie micro-ruban. A partir des caractéristiques principales du substrat utilisé cités ci-dessus et des formules de synthèse en technologie micro-ruban [13-15], on calcule les dimensions des lignes de transmission (largeurs et longueurs).

De façon pratique, les inductances sont réalisées en technologie microbande (voir Annexe 4), les capacités sont des composants CMS (Composant Monté en Surface) et les résistances sont fabriquées à partir d'un film résistif présentant une certaine résistance par unité de longueur.

Après avoir choisi le substrat, on étudie le composant active (le transistor pHEMT-A043) en amplification large bande (0.4-2 GHz) (bande de fréquence d'intérêt).

Les Figures 4.20 au 4.23 présentent respectivement les différentes parties qui constituent l'amplificateur: l'étage d'entrée, l'étage de sortie, les circuits de polarisation et d'adaptation en technologie micro-ruban.

Dans la réalisation du layout il faut ajouter des lignes microstrip de la même largeur que les éléments discrets et tenir compte des discontinuités entre des lignes microstrip d'impédances très différentes. Les inconvénients rencontrés au cours de cette conception:

- Difficulté dans le calcul des impédances caractéristiques des lignes à partir des valeurs des composants discrets,
- Effet des discontinuités trop importantes aux hautes fréquences.

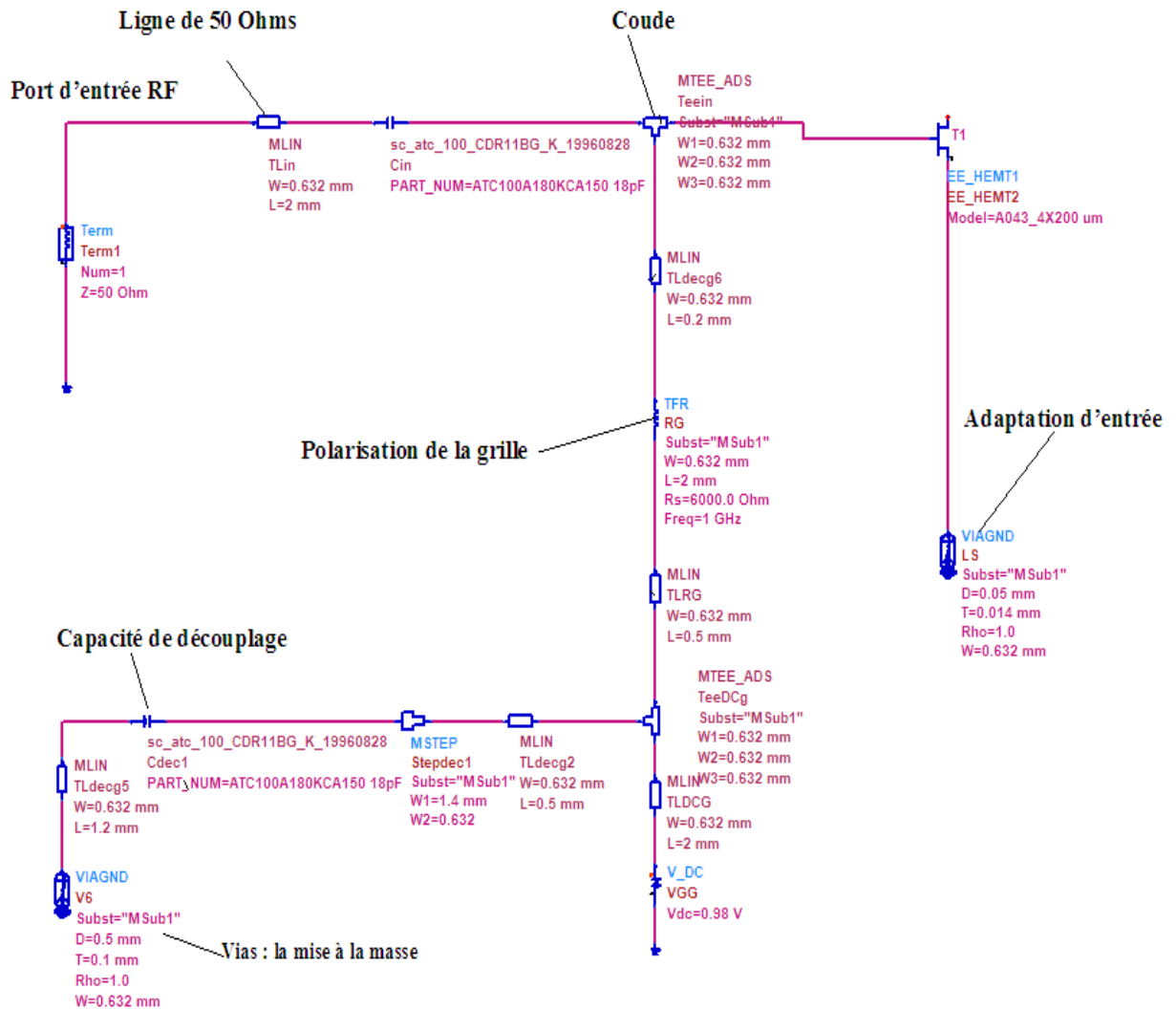


Figure 4.20 : L'étage d'entrée de l'amplificateur LNA cascode conçu avec des composants distribués.

4.7.4 Résultats de simulation du LNA avec les composants distribués

Pour l'analyse comportementale de l'amplificateur, on remplace tous les composants idéaux par des composants SMT (Surface Mount Technology) et microstrip (Figure 4.20 au 4.23). Le circuit de la Figure 4.7 a été transformé en technologie microbandes. Tous les composants passifs de ce circuit (les condensateurs, les inductances, les résistances) sont remplacés par des composants microstrip.

Dans le but de voir l'effet des paramètres technologiques (substrat, géométrie des lignes transmissions, raccordement) sur les performances du LNA, on a opté pour étudier seulement l'influence des différents raccordements (Chanfrein, Coude et jonction en T).

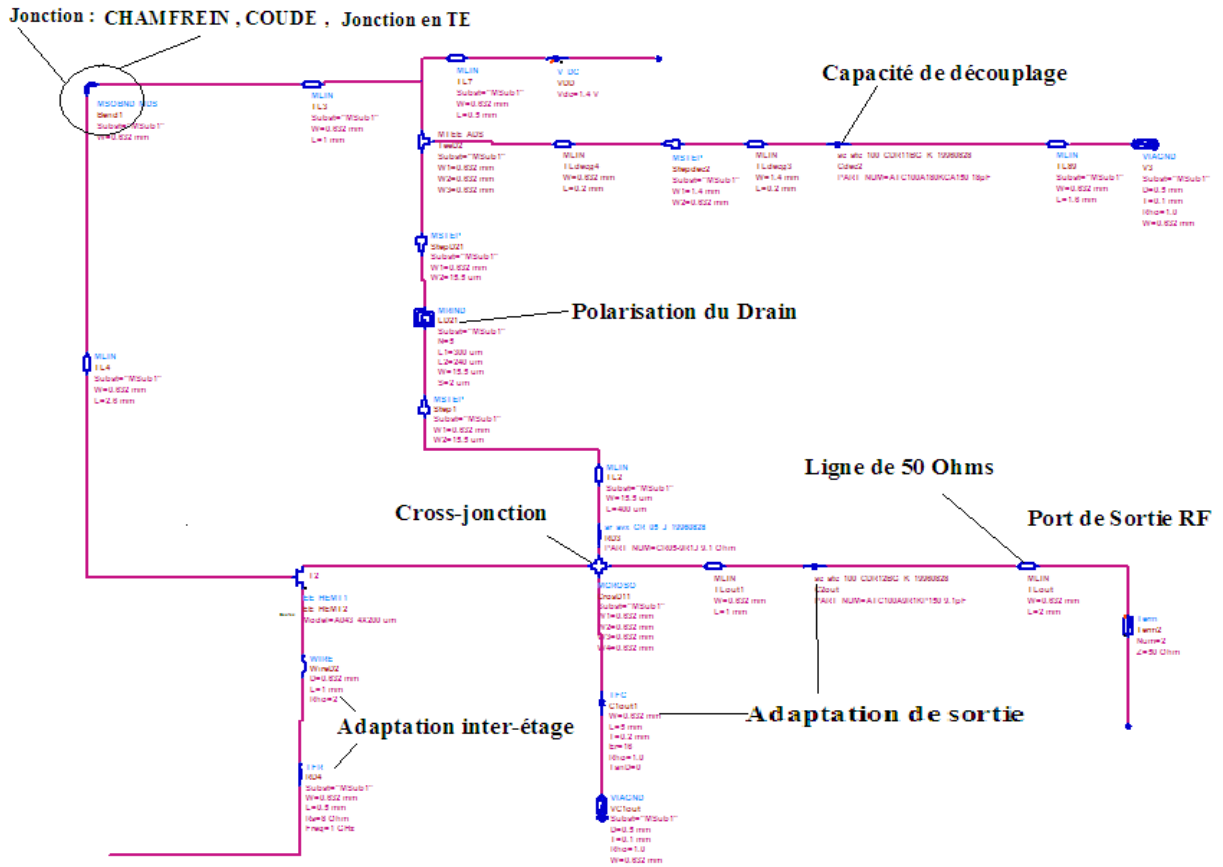


Figure 4.21 : L'étage de sortie de l'amplificateur LNA cascade conçu avec des composants distribués.

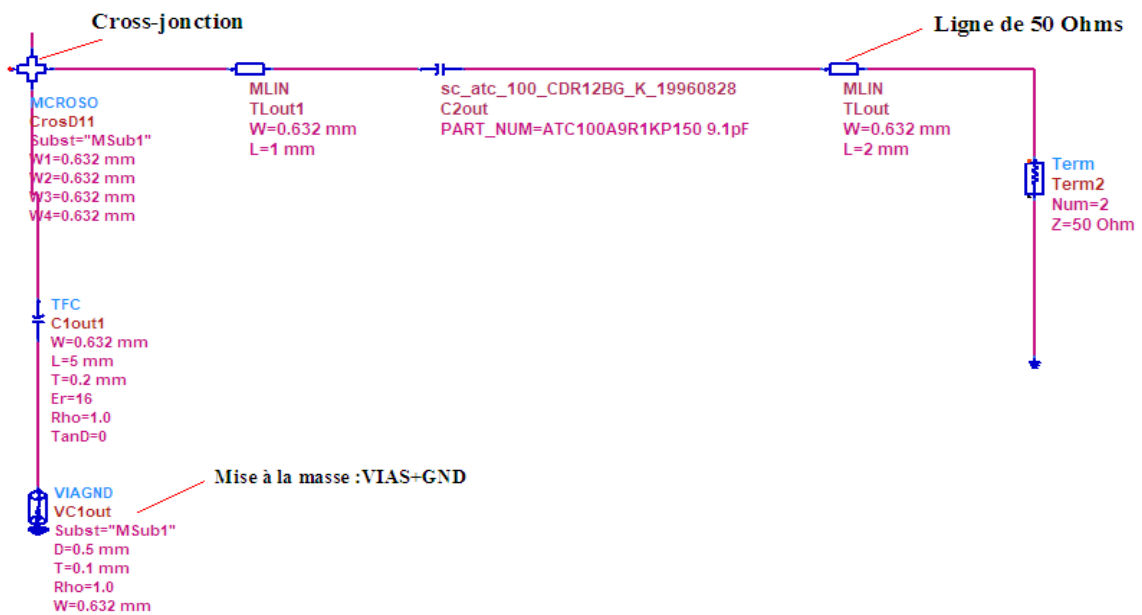


Figure 4.22 : Le circuit d'adaptation de sortie.

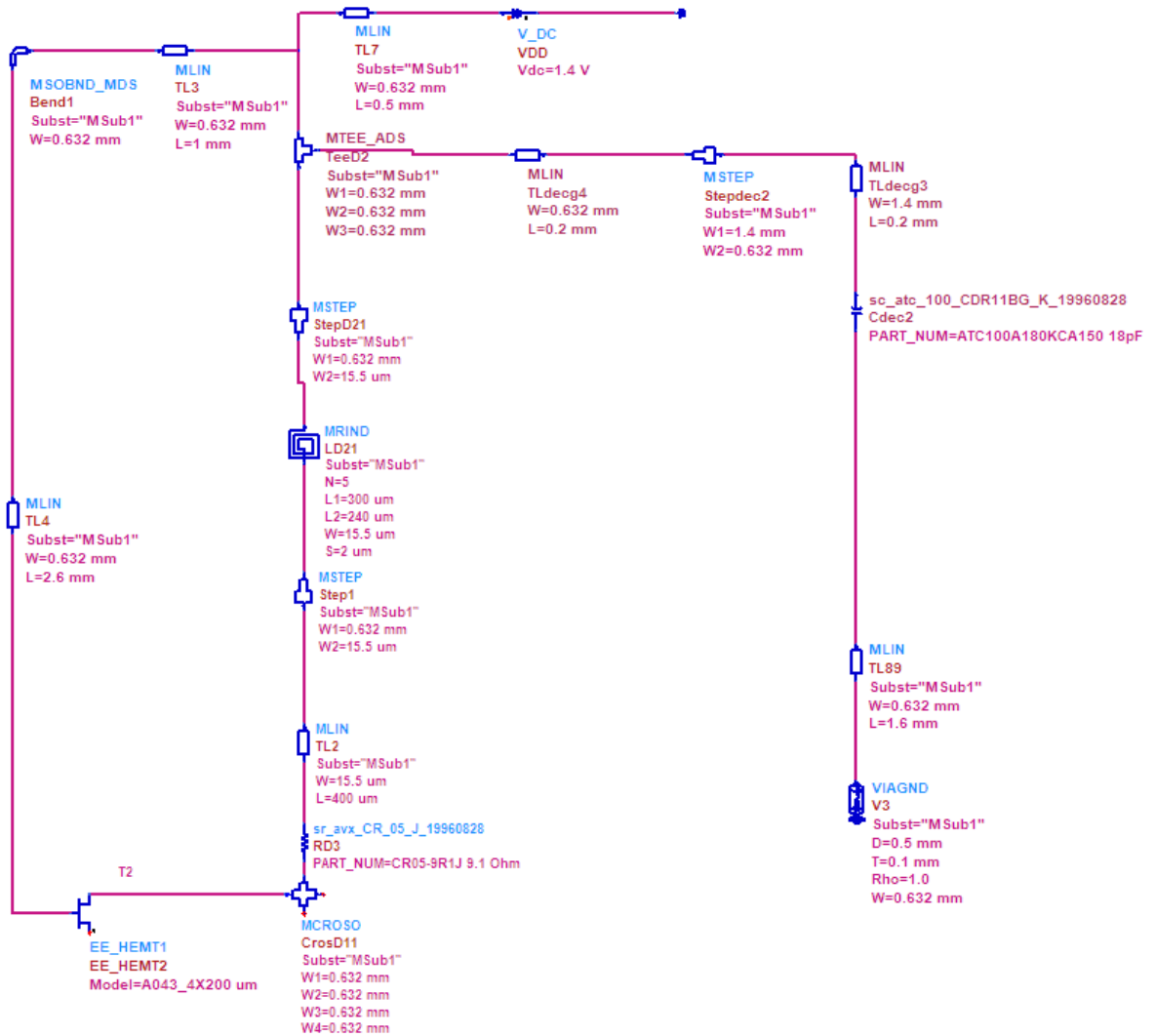


Figure 4.23 : Le circuit de polarisation de drain.

Les Figures 4.24 au 4.31 représentent les performances simulés du LNA cascode pour différentes utilisation des outils de transition (chanfrein, coude, jonction en T)

Afin d'éviter le changement du comportement de ces composants à hautes fréquences, la longueur des lignes de transmission a été choisie de courte longueur ($l=2\text{mm}$). Certains de ces microstrip (longue ou étroite) avec perte ont une contribution de manière significative au bruit à cause de leur résistivité élevée. Aux hautes fréquences, on observe une dégradation des performances du LNA.

La conception du LNA est alors ajustée en utilisant les outils d'optimisation de CAO (logiciel ADS); les résultats des simulations des performances du LNA en microstrip et celles obtenus avec les composants idéaux son illustrées aux Figures 4.24, 4.26 et 4.28.

Le facteur de bruit des implémentations est présenté sur les Figures 4.25, 4.27, 4.29. On remarque que les composants à constantes distribuées (lignes de transmission) contribuent à l'augmentation du bruit surtout pour les valeurs de fréquences supérieures dans la bande d'intérêt. Le facteur de bruit du LNA à composants distribués est supérieur à celui du LNA à composants idéaux. Le bruit généré dans les micro-rubans avec perte est moins de 0,25 dB par rapport au facteur de bruit du LNA cascode idéal ($NF_{distribué} = NF_{idéal} + 0.25$ dB).

La stabilité de l'amplificateur LNA a été testée pour la gamme de fréquence de 0.1 à 30 GHz, le système est inconditionnellement stable (le facteur k de Rollet >1, Figure 4.30)

4.7.4.a Utilisation du chanfrein

On présente les résultats de simulation du LNA sur les Figure 4.24 et 4.25, conçu par le raccordement chanfrein utilisé pour la transition grille-drain du deuxième transistor T_2 . On remarque qu'il y a une augmentation du facteur de bruit de 0.25 dB ($NF_{distribué} = NF_{idéal} + 0.25$ dB) et une variation du gain de 7 dB à la fréquence 2 GHz ($Gain_{distribué} = Gain_{idéal} - 7$ dB).

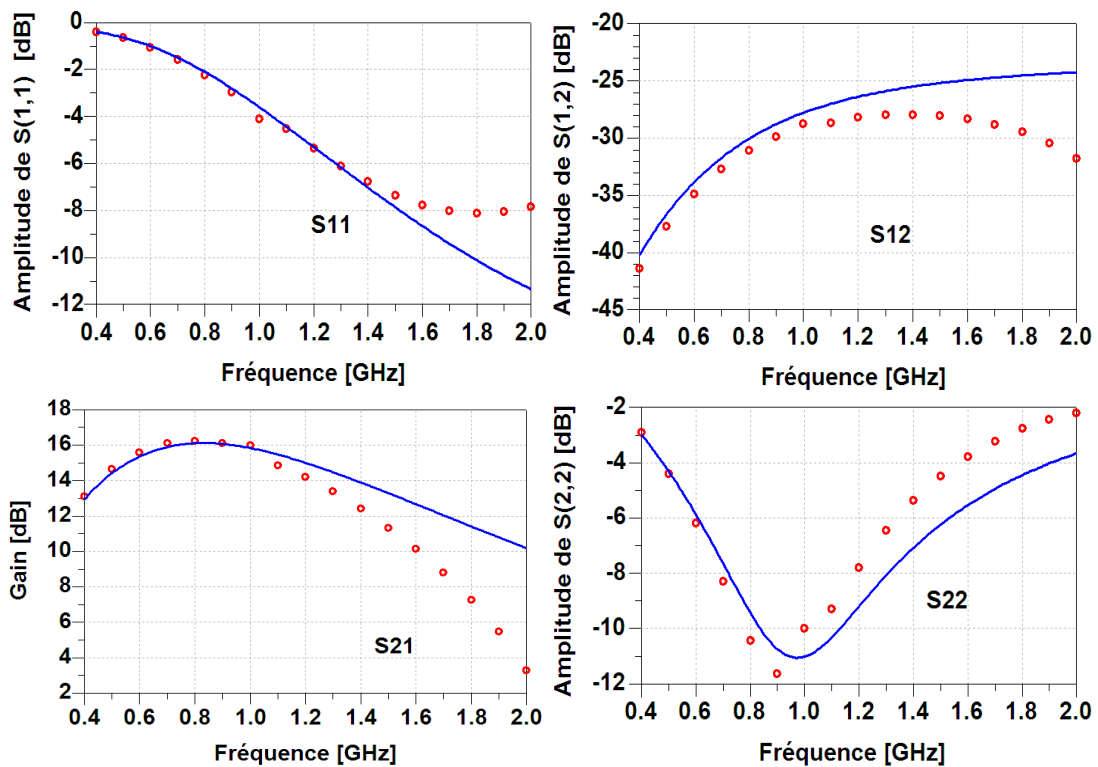


Figure 4.24 : Les paramètres S du circuit cascode en technologie microstrip '-'- composants idéaux, 'o' : composants réels (utilisation du chanfrein).

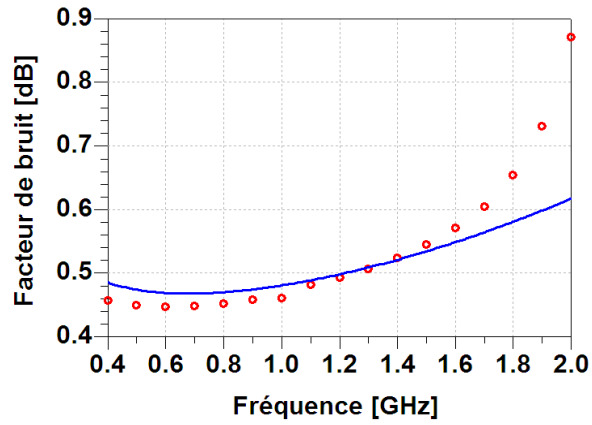


Figure 4.25 : Le facteur de bruit du circuit cascode en technologie microstrip : ‘-’ composants idéaux , ‘o’ : composants réels (utilisation du chanfrein).

On observe un mauvais effet sur les caractéristiques en gain et en coefficients de réflexions au delà de la fréquence 1.6 GHz.

4.7.4.b Utilisation du coude

Les Figure 4.26 et 4.27 présentent les résultats de la la jonction coude et qui sont meilleurs que ceux du chanfrein.

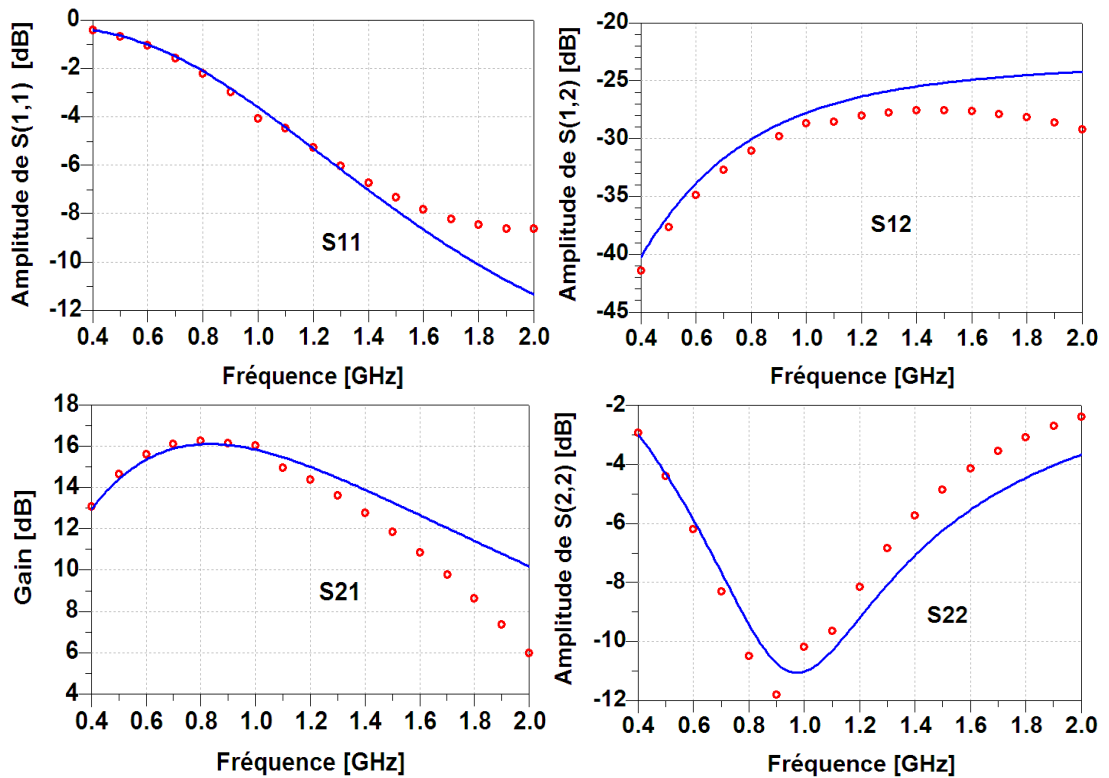


Figure 4.26 : Les paramètres S du circuit cascode en technologie microstrip : ‘-’ composants idéaux, ‘o’ : composants réels (utilisation de la jonction Coude).

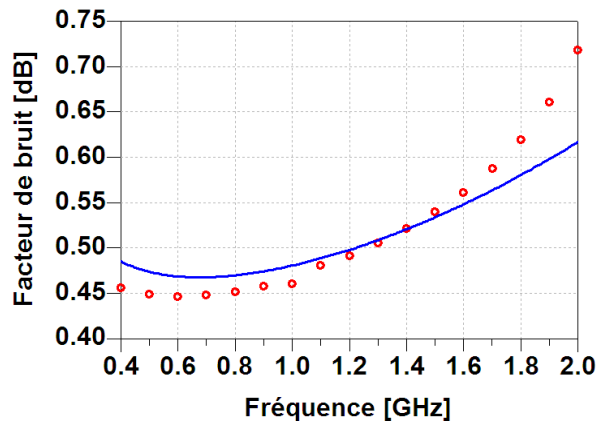


Figure 4.27 : Le facteur de bruit du circuit cascode en technologie microstrip : ‘-’ : composants idéaux, ‘o’ : composants réels (utilisation de la jonction Coude).

Ce cas présente un facteur de bruit proche de celui du circuit à éléments idéaux ($NF_{distribué} = NF_{idéal} + 0.1 \text{ dB}$); le gain est satisfaisant dans la bande (0.4-1.6 GHz)

4.7.4.c Utilisation de la jonction en T

Les résultats illustrés aux Figures 4.28 et 4.29 pour la jonction en T sont moins importants par rapport aux deux cas précédents (Chanfrein et coude).

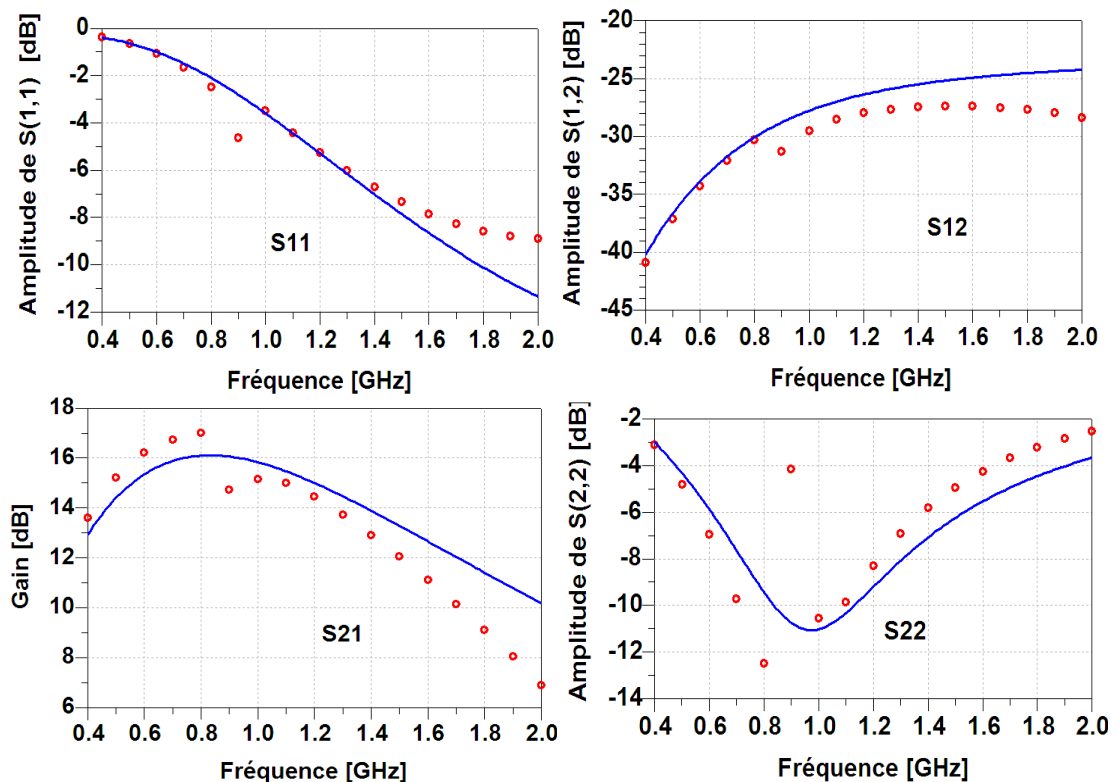


Figure 4.28 : Les paramètres S du circuit cascode en technologie microstrip : ‘-’ : composants idéaux, ‘o’ : composants réels (utilisation de la jonction en T).

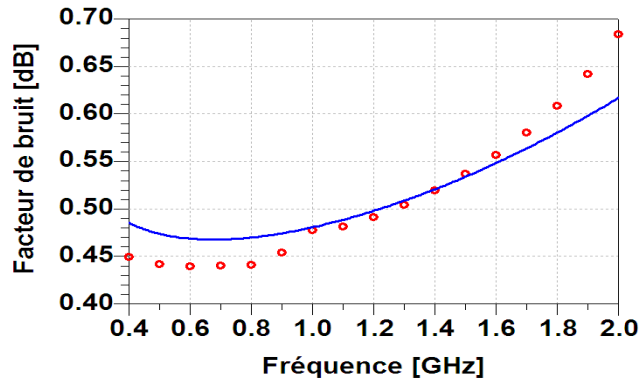


Figure 4.29 : Le facteur de bruit du circuit cascode en technologie microstrip : ‘-’ : composants idéaux, ‘o’ : composants réels (utilisation de la jonction en T).

La seule performance améliorée pour ce circuit est le facteur de bruit : $NF_{\text{distribué}} = NF_{\text{idéal}} + 0.06$ dB.

4.7.4.d Etude comparative

On présente les résultats obtenus par les différentes jonctions choisies (chanfrein, coude et jonction en T) sur les Figure 4.30 et 4.31, afin de comparer les performances de chaque cas et choisir celle qui présente les meilleures performances en gain (S_{21}) et la figure de bruit (NF) et celle qui sera la plus adaptée. Les résultats simulés donnés par les jonctions chanfrein et coude sont satisfaisants par rapport à ceux obtenus par la jonction en T. Mais La dégradation des performances en bruit est remarquable surtout pour la jonction chanfrein en hautes fréquences.

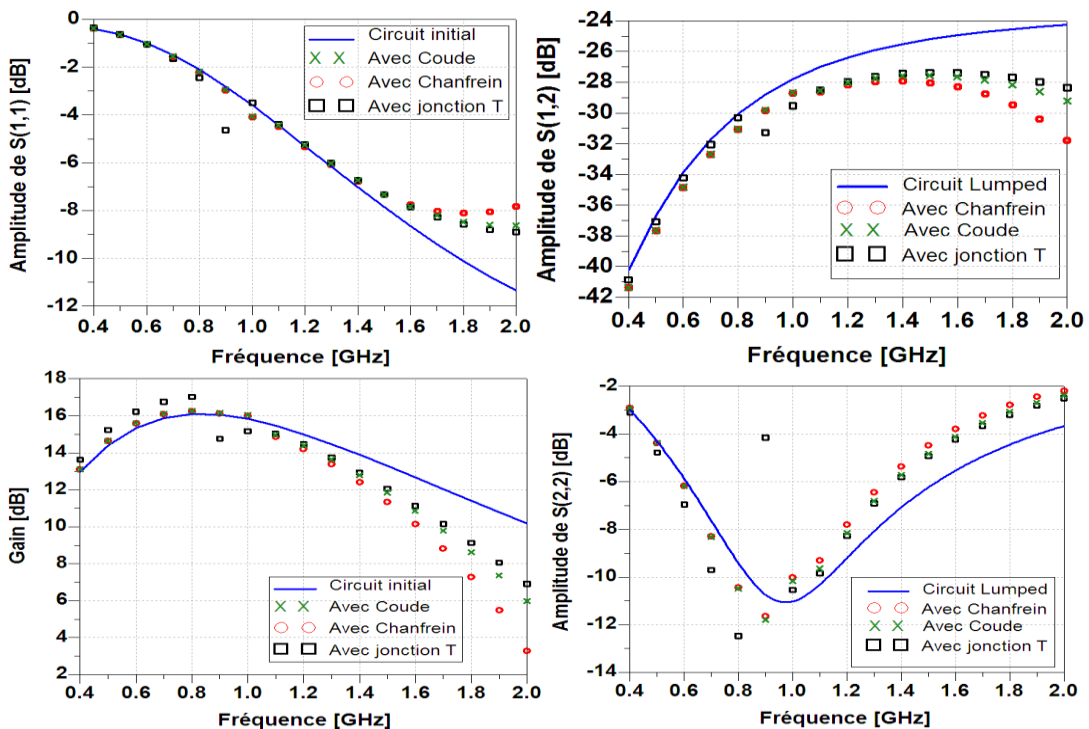


Figure 4.30 : Les paramètres S du circuit cascode en technologie microstrip.

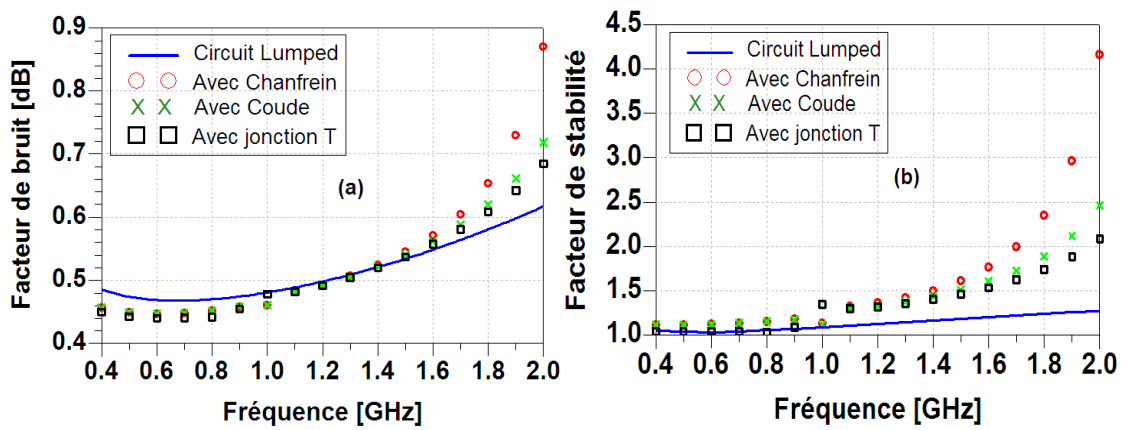


Figure 4.31 : (a) Le facteur de bruit de l'amplificateur LNA cascade en technologie microstrip, (b) Le facteur de stabilité.

4.7.5 Récapitulation des résultats

Le tableau suivant récapitule tous les résultats trouvés auparavant pour les différentes simulations :

| | LNA CASCODE | | LNA DOUBLE ETAGE | |
|---|------------------|---------------------|------------------|----------------------|
| | composants Idéal | Composant distribué | Composant idéal | Composant distribuée |
| <i>Freq</i> [GHz] | 1.4 | 1.4 | 1.4 | 1.4 |
| <i>NF</i> [dB] | 0.51 | 0.524 | 0.52 | 0.8 |
| <i>NF_{min}</i> [dB] | 0.41 | 0.439 | 0.41 | 0.65 |
| <i>Gain_{max}</i> [dB] | 13.89 | 12.423 | 31.10 | 21.85 |
| $ S_{11} $ [dB] | -7.03 | -6.773 | -9.71 | -5.6 |
| $ S_{12} $ [dB] | -25.5 | -27.917 | -52.11 | -63.51 |
| $ S_{22} $ [dB] | -7.08 | -5.361 | -36.02 | -12.69 |
| <i>IP_{1dB}</i> / <i>OP_{1dB}</i> [dBm] | -22/-10 | -25/-15 | -26/3.5 | -16 /4.4 |
| <i>IIP₃</i> / <i>OIP₃</i> [dBm] | -20/-30 | -22/-30 | -5/25 | -14/-19 |
| <i>P_{DC}</i> [mW] | 72 | 73 | 55 | 55 |
| <i>V_{DD}</i> [V] | 1.4 | 1.4 | 2 | 2 |

Tableau 4.5 : Résultats obtenus pour les deux LNAs.

4.7.6 Interprétation des résultats

Pratiquement tous les circuits répartis contiennent naturellement des discontinuités. Ces discontinuités engendrent des capacités et inductances parasites, leurs réactances deviennent particulièrement importantes aux fréquences élevées. Il a été montré dans la section précédente

que les performances de l'amplificateur sont considérablement affectées par les discontinuités des micro-rubans. On a traité l'influence des différentes jonctions (Chanfrein, Coude, jonction en T).

Le problème majeur qui dégrade les performances du circuit distribué est l'existence de discontinuités dans le circuit amplificateur.

4.7.7 Le Dessin masque ou le circuit imprimé

Après avoir simulé l'amplificateur, on génère le layout automatiquement, le circuit distribué le plus performant est celui qui utilise le coude et le chanfrein, les circuits dessins masque sont présentés dans les figure 4.33, 4.34. La surface totale de l'amplificateur LNA approximativement est de $13 \times 11 \text{ mm}^2$.

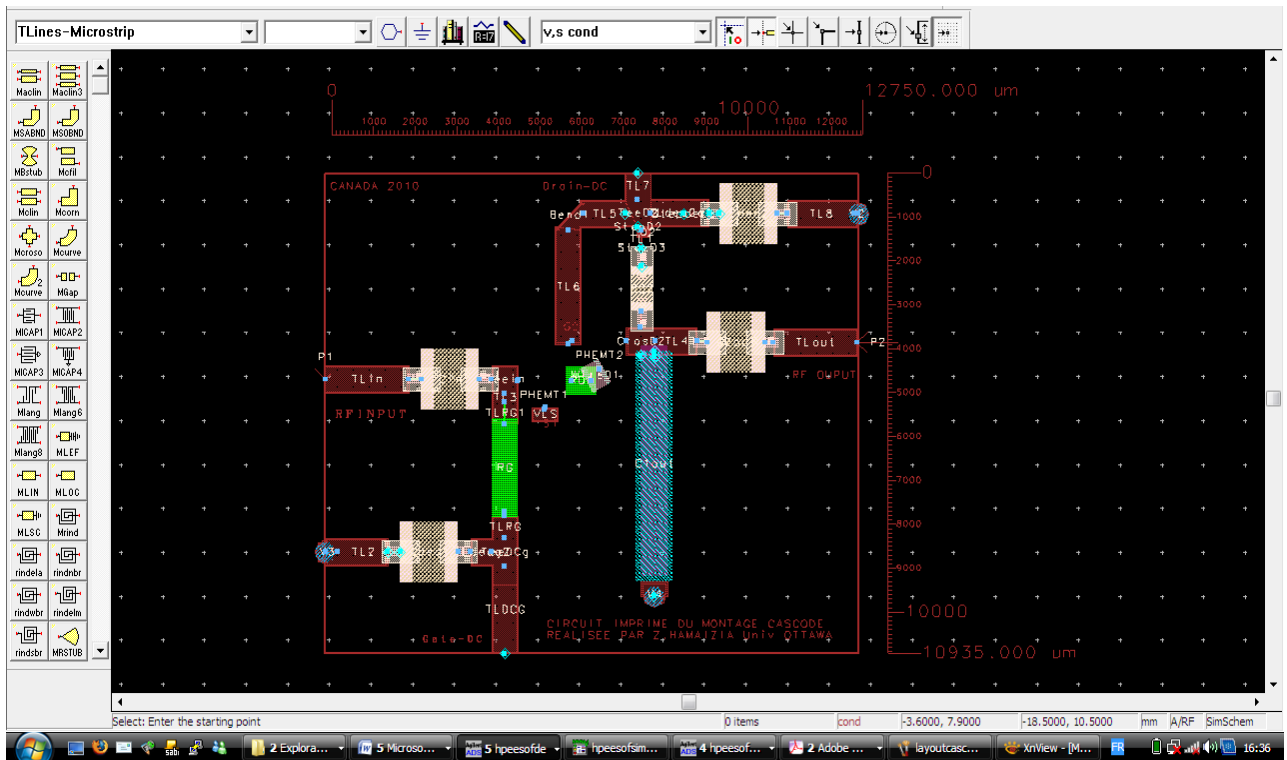


Figure 4.32 : Dessin masque de l'amplificateur LNA cascode complet.

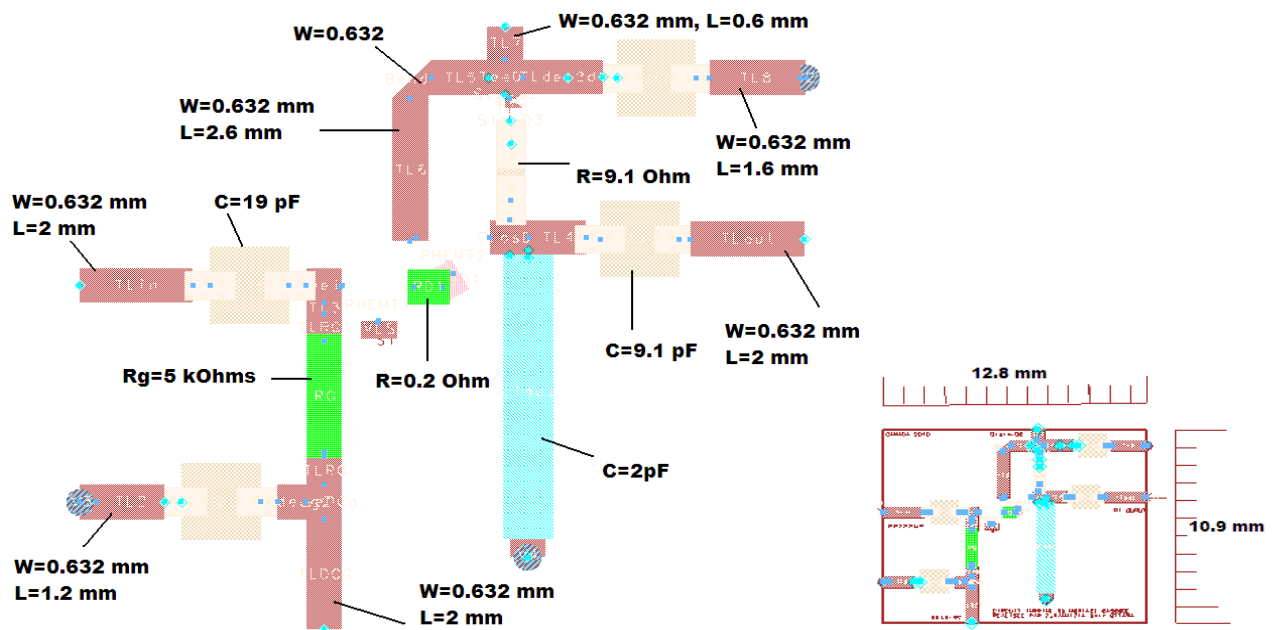


Figure 4.33 : Le layout du circuit LNA cascode complet.

4.8 Conclusion

Dans ce chapitre nous avons décrit la conception d'un amplificateur faible bruit sous faible tension d'alimentation (1.4V) et fonctionnant dans la bande (0.4- 2 GHz). Les performances de deux LNAs obtenues sont presque comparables aux spécifications de cahier de charge.

En régime alternatif, jusqu'à des fréquences de l'ordre de 10 MHz, les composants passifs classiques (inductances, capacités...) présentent des caractéristiques qui sont indépendantes de la fréquence. Les tronçons de ligne connectant les composants ont un comportement neutre. On dit qu'il s'agit d'éléments à constantes localisées. Ceci ne devient plus vrai pour des fréquences supérieures (hautes fréquences). Les valeurs nominales des caractéristiques de ces composants varient avec la fréquence, tandis que les lignes de connexion se comportent alors comme des impédances dont l'inductance ou la capacité change de même avec la fréquence. On parle alors d'éléments à constantes réparties ou distribuées.

Basant sur ces contraintes, la conception de notre LNA est réalisée en deux étapes : LNA à éléments à composantes localisées et LNA à éléments à composantes distribuées.

Afin de mettre en évidence les performances du transistor pHEMT-InP dans le domaine des micro-ondes, nous avons opté pour une application en amplificateur linéaire à faible bruit (LNA) en large bande [0.4-2] GHz en technologie MMIC pour la radioastronomie. La réalisation d'un tel amplificateur en technologie MMIC est obtenue sur un substrat en alumine. Le LNA est un des blocs fonctionnels de base dans les systèmes de communication. Le principal intérêt du LNA à l'entrée de la chaîne de traitement analogique est d'amplifier le

signal sans lui ajouté du bruit significatif afin de permettre un meilleur traitement analogique et digital de l'information par les modules suivants le LNA.

On a établi une étude approfondie des optimisations en performance tant en stabilité qu'en bruit de chacun des différents circuits d'adaptation afin de satisfaire le cahier des charges final qui est celui du LNA.

Le circuit de polarisation du transistor pHEMT A043 est conçu afin de maintenir le point de fonctionnement constant, minimiser le bruit et augmenter la stabilité.

Les coefficients de réflexion sont satisfaisants, avec des paramètres S_{11} et S_{22} inférieures à -5 dB pour le premier LNA à cellule cascode. Le paramètre S_{11} atteint néanmoins les -5 dB à partir de 1.2 GHz. On remarque aussi que le paramètre S_{22} est légèrement meilleur aux basses fréquences. Le gain (S_{21}) est relativement plat sans ondulation dans la bande d'intérêt.

Après l'optimisation pour avoir le meilleur gain possible de l'amplificateur LNA, on a vérifié la satisfaction de l'adaptation en sortie qui démontre que son coefficient de réflexion S_{22} est minimal pour la fréquence 1 GHz. Enfin, cet amplificateur LNA a donné un gain acceptable de 13.63dB, un facteur de bruit minimal de 0.51 dB et une stabilité dans une large bande comprise entre 1 GHz-30 GHz. Tandis que la deuxième configuration du LNA présente un gain supérieur à 27 dB, un facteur de bruit inférieur à 0.63 dB et bonne adaptation en sortie ($S_{22} < -26$ dB pour la fréquence > 1 GHz). Concernant la conception de l'amplificateur à éléments réels, on a observé que les résultats sont satisfaisants en les comparant à ceux du LNA à éléments idéaux pour la bande de fréquence (0.4-1.6 GHz). La dégradation des performances est remarquable aux fréquences élevées, elle est due généralement aux discontinuités existant dans le circuit LNA. Le circuit conçu à éléments réels est sensible à plusieurs paramètres tels que : variation des longueurs et largeurs des lignes de transmission, variation des caractéristiques du substrat (l'épaisseur et la conductivité du conducteur). Le choix des modèles des composants SMT influe aussi sur les performances de l'amplificateur.

4.9 Bibliographie

- [1] M. Devulder, "Etude et faisabilité d'un système Ultra large Bande ULB en Gamme millimétrique en Technologie Silicium avancée", *Thèse de Doctorat Université des Sciences et de Technologies de Lille*, Décembre 2008.
- [2] ADS2006, Agilent Technologies, Palo Alto, CA, U.S.A.
- [3] G. Petit, "Etude des Structures radiofréquence en Bande X sur Technologies CMOS-SOS", *Thèse de Doctorat, Université Paris XI École Supérieure d'Électricité, France Centre d'Orsay SUPÉLEC*, Septembre 2005.
- [4] A. Bouloukou et al., "Novel high breakdown InGaAs/InAlAs pHEMTs for radio Astronomy applications", *in proceedings of the 4th ESA Workshop on Millimeter Wave*

Technology and Applications (7th MINT Millimeter-Wave International Symposium), February 15–17, Espoo, Finland (2006).

- [5] A. Bouloukou et al., "Very low leakage InGaAs/InAlAs pHEMT for broadband (300 Mhz to 2 GHz) low noise application", *Mat. Sci. Semicon. Proc.* 11 (2008) 390.
- [6] B. Boudjelida et al., "Modelling and simulation of low-frequency broadband LNA using InGaAs/InAlAs structures: a new approach", *Mat. Sci. Semicon. Proc.* 11 (2008) 398.
- [7] E.A.M. Klumperink et al., "Achieving wideband sub-1dB noise figure and high gain with MOSFETs if input power matching is not required", *IEEE Rad. Freq. Integr. (2007)* 673. *input power matching is not required, IEEE Rad. Freq. Integr. (2007)* 673.
- [8] J. Xu et al., "GaAs 0.5 dB NF dual loop negative feedback broadband low noise amplifier IC ", *Electron. Lett.* 41 (2005) 318.
- [9] Xiaolong, W. A. Serdijn, B. E. M Woestenburg, J. G. B. de Vaate, "A broadband indirect feed back power-to-current LNA," *ISCAS 2006* pp. 89-92.
- [10] L. Belostotski, J. Haslett and B. Veidt, "Wide band CMOS low noise amplifier for applications in radio astronomy," *in the proceedings of the International Symposium on Circuits and Systems (ISCAS2006)*, May 21–24, Island of Kos, Greece (2006), page 1347.
- [11] L. Belostotski and J.W. Haslett, "Sub-0:2dB noise figure wideband room-temperature CMOS LNA with non-50Ohm signal-source impedance", *IEEE J. Solid-St. Circ.* 42 (2007) 2492.
- [12] S. Dellier, "Contribution à la conception des circuits microondes", *Thèse de Doctorat Université de Limoges*, Juillet 2005.
- [13] C. Gentili, *Amplificateurs et Oscillateurs micro-onde*, Paris : Masson 1984.
- [14] T. Edward, *Conception des circuits micro-ondes*, Paris : Masson 1983.
- [15] T. Edward , *Foundation for Microstrip Circuit Design*, John Willet & Sons; second edition
- [16] D.M. Mozar, *Microwave engineering*, 3rd edition, John & Wiley Inc., U.S.A.
- [17] E.O.Hammerstad, "Equations for Microstrip Circuit Design," *Proceedings of the European Microwave Conference*, Hamburg, Germany, pp.268-272, 1975.
- [18] E. Hanna, " Synthèse et Réalisations avec des Zéros de Transmission de Filtres Planaires Miniaturisés à Topologies Fractales en Substrat Suspendu ", *Thèse de Doctorat, Université de Bordeaux I*, Juillet 2006
- [19] J. R. Fisk, " Microstrip transmission line", *Ham Radio* January 1978.
- [20] <http://www.microwaves101.com/encyclopedia/microstrip.cfm>
- [21] [<http://en.wikipedia.org/wiki/Microstrip>
- [22] <http://www.microwaves101.com/encyclopedia/calmstrip.cfm>.

Conclusion générale

La conception d'amplificateurs pour les applications de télécommunications, radioastronomie et de systèmes radars aux fréquences microondes nécessite une connaissance et une caractérisation approfondie des composants au coeur de ces systèmes, à savoir les transistors. A l'heure actuelle, une grande diversité technologique, tant par le choix des semi-conducteurs que par les différents types des transistors utilisés s'offre au concepteur pour réaliser cette tâche.

Par conséquent, la conception d'amplificateurs doit passer par un choix judicieux entre les différentes technologies en fonction de leurs potentialités et des critères spécifiés suivant les applications visées. Les critères portent sur des contraintes de puissance, de rendement, et de linéarité pour l'obtention d'une génération de puissance optimisée tout en gardant une garantie de stabilité. Les contraintes en terme de coût et de fiabilité sont également de première importance dans le contexte industriel.

Les FETs sont les dispositifs les plus intéressants pour les applications faible bruit.

L'objectif principal de ce travail est la conception d'un amplificateur à faible bruit large bande pour l'application radioastronomie.

La modélisation électrique et électromagnétique de ces composants est nécessaire pour la conception de circuits MMIC ou hybrides. En règle générale, le signal capté par l'antenne ne contient pas uniquement l'information intéressante. Celle-ci est la plupart du temps noyée dans un mélange de bruit et d'autres signaux inutiles à l'application considérée. Il convient alors d'amplifier le signal utile et de préserver le système, au maximum du bruit, des non-linéarités du récepteur ou des signaux parasites. Pour cela on utilise un ensemble amplificateur à faible bruit (LNA : Low Noise Amplifier).

L'amplificateur à faible bruit ou LNA constitue l'amplificateur de tête de la chaîne de réception. En effet, ses caractéristiques en bruit et gain conditionnent très fortement la performance en bruit de toute la chaîne. La performance en linéarité est aussi importante.

Le travail présenté se base sur la conception MMIC LNA large bande basée sur le matériau InP qui est adapté aux besoins télescope.

Ce travail a donc commencé par une étude générale des composants à base de GaAs et InP, après avoir rappeler les propriétés essentielles du matériau ainsi que les procédés de croissance, l'étude s'est davantage orientée vers les caractéristiques des transistors à hétérojonction HEMT et la famille pseudomorphique autant de point de vue de son hétérojonction.

Dans un premier lieu, on a procédé à une étude de caractérisation des paramètres électriques radiofréquences petit signal et les caractéristiques DC large signal du pHEMT-InP-XMBE109-A043-4X200 μ m-GaAs fabriqué au laboratoire de nano-technologie de l'Université de Manchester et pour une gamme de fréquence dans le domaine des micro-ondes comprise entre 0.1 GHz-30 GHz. Dans un second lieu, des modèles linéaires petit signal et non linéaire large signal du schéma équivalent des transistors fabriqués ont été extraits, il faut noter qu'il y avait une bonne concordance entre les modèles simulés et les mesures.

Ensuite, on a validé ces modèles petit et large signal dans un circuit d'application tel qu'un amplificateur linéaire à faible bruit en technologie MMIC (Circuits Intégrés Monolithiques Micro-ondes) en large bande (0.4-2 GHz).

Afin de satisfaire le cahier de charges, deux circuits d'amplification utilisant le transistor pHEMT ont été développés pour diverses contraintes qui sont la stabilité du transistor, la minimisation du facteur de bruit global, maximisation du gain et la polarisation du transistor. L'objectif principal de deuxième chapitre était de se doter d'un modèle linéaire et non linéaire pour les transistors HEMT et pHEMT sur les substrats GaAs et InP. Les transistors HEMT ont vu une telle croissance de leurs performances RF qui, aujourd'hui, leur permet d'être utilisés dans la réalisation de circuits en hyperfréquences. Cependant, la conception de circuits doit être appuyée par des modèles de composants robustes et rapides à extraire.

On a choisi d'adopter la technique de modélisation phénoménologique, largement utilisée pour les technologies III-V, pour sa simplicité et sa rapidité d'extraction des paramètres. On y a reporté le principe de la modélisation électrique des transistors en hyperfréquences, en décrivant le schéma équivalent électrique petit signal utilisé pour les HEMT. En ce qui concerne la modélisation non linéaire, nous avons décrit l'approche fondamentale adoptée dans notre démarche, pour la modélisation d'un composant active en utilisant le logiciel IC-CAP suivi des algorithmes d'optimisation sous ADS.

L'extraction de tous les éléments électriques et des paramètres du modèle a été décrite de manière détaillée. Leur détermination s'est effectuée à partir de mesures statiques de courant et de mesures de paramètres S en hyperfréquences. En premier lieu, on a procédé à l'extraction des éléments extrinsèques à l'aide de mesures en polarisation froide et du modèle de FET froid. Par la suite, les éléments intrinsèques ont été extraits à partir de mesures de paramètres S multi-polarisations, après avoir « épluché » les éléments extrinsèques.

Au cours du troisième chapitre et dans un premier lieu, on a introduit les définitions des critères de performances d'un amplificateur en micro-ondes comme le gain, le facteur de bruit, la stabilité et les paramètres S. Ensuite, on a présenté les différents blocs des circuits d'adaptation en entrée et en sortie du transistor pHEMT constituant ainsi le corps de

l'amplificateur LNA. On a détaillé la méthodologie de conception des amplificateurs en radiofréquence, ainsi on a exposés les différentes configurations de l'amplificateur à faible bruit existant dans la littérature.

Finalement, on a présenté deux amplificateurs à faible bruit basés sur deux architectures différentes (cascode à dégradation inductive et double étage cascadi source commune). Parfaitement adaptés aux contraintes de faible consommation, ceux-ci offrent des caractéristiques remarquables au regard de leur gain en puissance dépassant les 10 dB de gain pour le premier circuit cascode à dégradation inductive et 27 dB pour le deuxième LNA.

Pour la conception des amplificateurs à faible bruit, on a répondu aux spécifications du cahier de charges (gain supérieur à 10 dB et NF inférieur à 0.6 dB). Pour cela, on a donc opté pour la topologie cascode à dégradation inductive et une configuration source commune double étages cascadi parmi les différentes configurations citées. En effet, l'amplificateur cascode possède un gain élevé et une bonne isolation ainsi qu'un faible facteur de bruit qui est presque identique à celui d'un seul transistor monté en source commune. Concernant le deuxième circuit, il est conçu dans le but de fournir assez de gain (gain supérieur à 20 dB).

Ces deux topologies LNA utilisant le transistor pHEMT 4x200 μ m ont été conçues pour les exigences et les spécifications du télescope SKA. On peut dire que ces deux architectures conçues ont satisfait presque la plupart des spécifications du cahier de charge en fournissant un facteur de bruit proche de NF_{min} et un gain suffisant.

Dans l'ensemble, on peut dire que ce travail a permis d'arriver à des résultats acceptables vis-à-vis de ceux trouvés dans la littérature.

Perspectives :

Les deux circuits conçus seront plus tard réalisés et intégrés dans la radioastronomie et les systèmes de télécommunication sans fil en utilisant le transistor fabriqué. Les points essentiels à développer :

- Utilisation des nouveaux transistors InP pseudomorphiques à haute mobilité d'électron amélioré en facteur de bruit.
- Utilisation de la modélisation distribuée et l'électromagnétique en tenant compte des phénomènes de propagation des ondes.
- Elargir la bande d'intérêt : conception des circuits UWB.
- Utilisation d'autres topologies de circuits LNA large bande ou ultra-large bande tels que : les amplificateurs distribués, les amplificateurs différentiels qui peuvent donner des meilleurs résultats en bruit et en VSWR.

Annexe 1

Propriétés physiques et électriques des semi-conducteurs

GaAs et InP

1-Technologie Arséniure de gallium : GaAs

Les principales caractéristiques du GaAs à température ambiante sont:

Bande interdite : 1.43 eV

Mobilité des électrons : 9200 (cm/s)/(V/cm)

Conductivité thermique : 0.55 W/(cm.K)

Champ électrique d'avalanche : 4.10^5 (V/cm)

La figure A1.1 indique les performances de différents types de transistors en technologie GaAs.

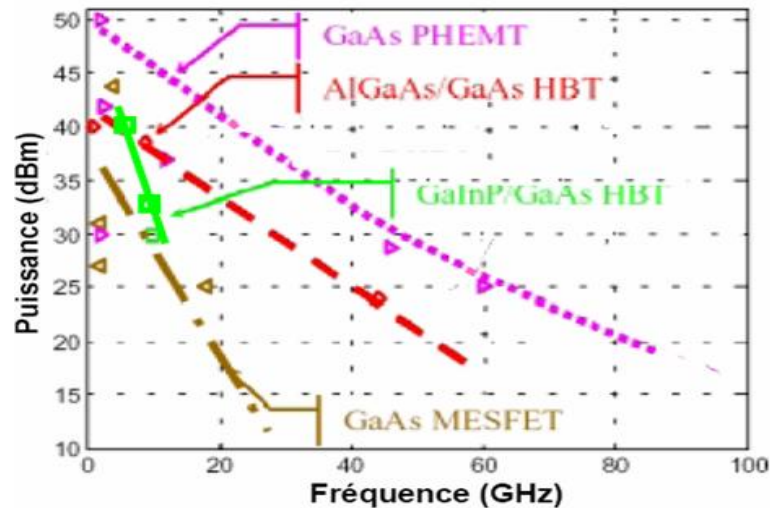


Figure A1.1: Performances des transistors en technologie GaAs.

2-Technologie Phosphure d'Indium : InP

Principales caractéristiques de l'InP à température ambiante :

Bande interdite = 1.35 eV

Mobilité des électrons : 5400 (cm/s)/(V/cm)

Conductivité thermique : 0.68 W/(cm.K)

Champ électrique d'avalanche : $4.5.10^5$ (V/cm)

| à 300K | Si | Ge | GaAs | InP | GaN | 3C-SiC |
|---------------------------|---------------------|---------------------|---------------------|---------------------|---------------------|---------------------|
| ϵ_r | 11.7 | 16.2 | 12.9 | 12.5 | 9.7 | 9.72 |
| N_C (cm ⁻³) | $3.2 \cdot 10^{19}$ | $1.0 \cdot 10^{19}$ | $4.7 \cdot 10^{17}$ | $5.7 \cdot 10^{17}$ | $1.2 \cdot 10^{18}$ | $1.5 \cdot 10^{19}$ |
| N_V (cm ⁻³) | $1.8 \cdot 10^{19}$ | $5.0 \cdot 10^{18}$ | $9.0 \cdot 10^{18}$ | $1.1 \cdot 10^{19}$ | $4.2 \cdot 10^{19}$ | $1.2 \cdot 10^{19}$ |
| $e\chi$ (eV) | 4.01 | 4.00 | 4.07 | 4.38 | 4.1 | |
| E_g (eV) | 1.12 | 0.66 | 1.424 | 1.344 | 3.2 | 2.36 |
| n_i (cm ⁻³) | $1.0 \cdot 10^{10}$ | $2.0 \cdot 10^{13}$ | $2.1 \cdot 10^6$ | $1.3 \cdot 10^7$ | | |
| μ_n (cm/V.s) | 1400 | 3900 | 8500 | 5400 | 1000 | 900 |
| μ_p (cm/V.s) | 450 | 1900 | 400 | 200 | 350 | 20 |
| Constante de maille (Å) | 5.431 | 5.658 | 5.65325 | 5.8687 | 4.52 | 4.3596 |

Tableau A1.1 : paramètres physiques et électriques de semiconducteurs

| Propriétés à 300 K | GaAs | InP | In _{0,53} Ga _{0,47} As |
|----------------------------------|------|------|--|
| Largeur Bande Interdite (eV) | 1,42 | 1,35 | 0,75 |
| Champ critique (kV/cm) | 3.5 | 10 | 3 |
| V_{max} (10 ⁷ cm/s) | 2.1 | 2.2 | 2.35 |
| V_{sat} (10 ⁷ cm/s) | 0.8 | 1.5 | 0.7 |
| μ_n (cm ² /Vs) | 8500 | 4600 | 15 000 |
| μ_p (cm ² /Vs) | 400 | 150 | 300 |

Tableau A1.2 : Caractéristiques comparées de GaAs, InP et GaInAs.

Annexe 2

Structure des transistors utilisés

- 1- Les transistors: VMBE-1841-A132-InP-pHEMT:1x200 μm
 VMBE-1841-B132-InP-pHEMT:1x160 μm

Structure: InGaAs-InAlAs-InP

pHEMT InGaAs-InAlAs-InP-1841

| | | |
|--|-----------------------|--------------------------------------|
| In _{0.52} GaAs | 50 Å | |
| In _{0.52} AlAs | 150 Å (Supply layer) | |
| In _{0.52} AlAs | 100 Å | $3.6 \times 10^{12} \text{ cm}^{-2}$ |
| In _{0.7} Ga _{0.3} As | 140 Å | |
| In _{0.52} AlAs | 4500 Å | |
| InP(Fe) Impact, S/S | | |

- 2- Le transistor: VMBE-1891-A322 -pHEMT:1x200 μm

Structure: InGaAs-AlGaAs-GaAs

pHEMT-GaAs-AlGaAs 1891

| | | |
|-----------------------------|--------|------------------------------------|
| GaAs | 50 Å | |
| Al _{0.35} GaAs | 200 Å | |
| Al _{0.45} GaAs | 150 Å | $5 \times 10^{12} \text{ cm}^{-2}$ |
| GaAs | 5340 Å | |
| GaAs | 54 Å | |
| Al _{0.35} GaAs | 55 Å | x10 |
| GaAs | 1000 Å | |
| GaAs SIMCP, Wafer Tech, S/S | | |

3- Le transistor VMBE-1864-A222 -HEMT:1x200 μm

Structure: InGaAs-AlGaAs-GaAs

HEMT-InGaAs-AlGaAs-GaAs-1864

| | |
|------------------------------|--|
| GaAs | 50 A |
| Al _{0.45} GaAs | 200 A |
| ===== | $5 \times 10^{12} \text{ cm}^{-2}$ |
| Al _{0.45} GaAs | 50 A |
| In_{0.15}GaAs | 110 A |
| Al _{0.36} GaAs | 66 A |
| Al _{0.36} GaAs | 420 A |
| GaAs | 5000 A |
| GaAs | 54 A |
| Al _{0.36} GaAs | 55A x10 |
| GaAs | 1000 A |
| SI | |

4- Les transistors: XMBE-109-A043 -pHEMT:4x200 μm ,
 XMBE-109-A073 -pHEMT:4x50 μm ,

Strucure: InGaAs-InAlAs-InP

pHEMT InGaAs-InAlAs-InP-XMBE-109

| | | |
|--|---------------|--|
| Cap (In _{0.53} Ga _{0.47} As) | Air (-0.05-0) | Cap (In _{0.53} Ga _{0.47} As) |
| Couche donneuse (In _{0.52} Al _{0.48} As) | | (0-0.03 μm) |
| Delta (In _{0.52} Al _{0.48} As) | | (0.03-0.031 μm) |
| Couche d'espacement (In _{0.52} Al _{0.48} As) | | (0.031-0.041 μm) |
| Cannal (In _{0.7} Ga _{0.3} As) | | (0.041-0.055 μm) |
| | | |
| Buffer Delta (In _{0.52} Al _{0.48} As) | | (0.055-0.49 μm) |
| | | |
| Substrat (InP) | | (0.49-2.99 μm) |

Annexe 3

Les paramètres du modèle EE-HEMT non-linéaire

| Parameter | Description | Unit | VMBE-1841 A132 | VMBE-1841 B132 | VMBE-1891 A322 | VMBE-1864 A222 | XMBE109 A043 | XMBE109 D073 |
|-------------------------|--|------------|-------------------|-------------------|-------------------|-------------------|-----------------|-----------------|
| U_{gw} | Gate width of device | μm | 200 | 160 | 200 | 200 | 200 | 50 |
| N_{gf} | Number of device gate fingers | - | 2 | 1 | 2 | 2 | 4 | 4 |
| V_{to} | Zero-bias threshold parameter | V | -0.8 | -0.8 | -0.754 | -0.728 | -1.314 | -1.306 |
| Gamma | Transconductance parameter | 1/V | 0.018 | 0.02 | 0.004 | 0.001 | 0.025 | 0.0098 |
| V_{go} | Gate-source voltage where G _m is a maximum | V | -0.63 | -0.62 | -0.19 | -0.228 | -0.972 | -0.996 |
| V_{ch} | VGS where Gamma no longer effects I-V | V | 1.75 | 1.65 | 0.58 | 0.67 | 1.302 | 1.294 |
| G_{mmax} | Peak transconductance parameter | mH | 89 | 73 | 24.5 | 32 | 245.52 | 53.781 |
| V_{dso} | Drain voltage where V _o dependence is nominal | V | 1.6 | 1.6 | 1 | 1 | 0.680 | 0.597 |
| V_{sat} | Drain-source current saturation parameter | V | 1.28 | 1.3 | 0.776 | 0.9 | 1.487 | 1.631 |
| K_{apa} | Output conductance parameter | mS | 92 | 67 | 65 | 33 | 110 | 99.00 |
| P_{eff} | Channel to backside self-heating parameter | W | 1.04 | 1.14 | 0.5 | 1.9 | 18.99 | 3.000 |
| V_{co} | Voltage where G _m compression begins | V | -0.763 | -0.76 | -0.14 | -0.152 | -0.626 | -0.646 |
| V_{ba} | G _m compression tail-off parameter | V | 1 | 1 | 1 | 1 | 0.26 | 0.25 |
| V_{bc} | G _m roll-off to tail-off voltage | V | 0.58 | 0.55 | 0.335 | 0.335 | 0.625 | 0.625 |

| Parameter | Description | Unit | VMBE-1841 A132 | VMBE-1841 B132 | VMBE-1891 A322 | VMBE-1864 A222 | XMBE109 A043 | XMBE-109 D073 |
|----------------|---|------------|-------------------|-------------------|-------------------|-------------------|-----------------|------------------|
| Deltgm | Slope of Gm compression chst. | - | 0.044 | 0.042 | 0.0259 | 0.013 | 0.502 | 0.0648 |
| Alpha | Gm saturation to compression transition | V | 0.2 | 0.2 | 0.051 | 0.22 | 0.1 | 0.1 |
| Rs | Source contact resistance | Ω | 0.34 | 0.54 | 5.7 | 0.893 | 0.614 | 2.127 |
| Rd | Drain contact resistance | Ω | 3.26 | 2.26 | 4.8 | 2.21 | 1.418 | 1.0524 |
| Rg | Gate metalization resistance | Ω | 19.73 | 16.85 | 20.23 | 19.42 | 1.67 | 0.9274 |
| Is | Gate junction reverse saturation current | nA | 192 | 235.4 | 3.19 | 3300 | 1.22 | 1.22 |
| N | Junction ideality factor | - | 1.623 | 1.584 | 1.772 | 1.41 | 1.2 | 1.2 |
| Ris | Source end channel resistance | Ω | 2.542 | 3.29 | 0.75 | 2.86 | 0.15 | 0.6 |
| Rid | Drain end channel resistance | Ω | 0.2762 | 0.36 | 0.5 | 1.46 | 0.15 | 0.6 |
| Tau | Gate transit time delay | Psec | 9.16 | 5.57 | 2.329 | 5.376 | 4.2 | 1.602 |
| Cdso | Drain source inter-electrode capacitance | fF | 4.85 | 2.91 | 1.22 | 11.42 | 254.77 | 116.307 |
| Rdb | Dispersion source output impedance | G Ω | 0.407 | 52.12 | 0.84 | 1.363 | 0.003 | 0.00289 |
| Cbs | Trapping-state capacitance | fF | 65.15 | -0.564 | 134.7 | 378 | 6 | 0.00797 |
| Vtoac | Zero-bias threshold parameter | V | -0.63 | -0.564 | -0.74 | -0.74 | 1.282 | -1.000 |
| Gamaxac | Peak transconductance parameter (AC) | - | 0.01 | 0.011 | 0.0068 | 0.0032 | 0.401 | 0.372 |
| Kapaac | Output conductance parameter (AC) | mS | 0.04 | 0.096 | 225.27 | 13.34 | 30 | 43.580 |
| Peffac | Channel to backside self-heating parameter (AC) | W | 0.1166 | 0.3846 | 1.0178 | 0.7387 | 29.618 | 16.865 |

| Parameter | Description | Unit | VMBE-1841 A132 | VMBE-1841 B132 | VMBE1891 A322 | VMBE-1864 A222 | XMBE109 A043 | XMBE109 D073 |
|-----------------|---|---------------|-------------------|-------------------|------------------|-------------------|-----------------|-----------------|
| Gdbm | Additional d-b branch conductance at $V_{ds} = V_{dsm}$ | μF | 59.21 | 58.21 | 127.45 | 77.5 | 7.533 | 2.882 |
| C11o | Maximum input capacitance for $V_{DS}=V_{dso}$ | fF | 629 | 566.5 | 428.3 | 684.24 | 601.44 | 34.403 |
| C11th | Min. (threshold) input capacitance for $V_{ds}=V_{dso}$ | fF | 557 | 529.7 | 1260.75 | 460.88 | 2100 | 318.557 |
| Vinfl | Inflection point in C11- V_{gs} characteristic | V | -0.6 | -0.34 | -0.638 | -0.259 | 90.86 | 146.378 |
| Deltgs | C11th to C11o transition voltage | V | 0.628 | 0.534 | 1.35 | 0.5914 | 0.0142 | 0.0282 |
| Deltds | Linear to saturation region transition parameter | V | 0.0189 | 0.0161 | 0.0392 | 0.153 | 0.00014 | 0.0806 |
| Lambda | C11- V_{ds} characteristic slope parameter | 1/V | 0.00725 | 0.0036 | 0.01 | 0.0045 | 0.0005 | 0.0014 |
| C12sat | Input transcapacitance for $V_{gs}=V_{infl}$ | fF | 29.5 | 23.6 | 45.58 | 20.3 | 98.76 | 6.776 |
| Cgdsat | Gate drain capacitance for $V_{ds}>Deltds$ | Ff | 98.38 | 79.13 | 65.77 | 55.08 | 41.8 | 0.092 |
| Kbk | Breakdown current coefficient at threshold | - | 0.029 | 0.0298 | 0.03 | 0.03 | 3.35e-5 | 1.762e-8 |
| Vbr | Breakdown onset voltage | V | 24.88 | 24.88 | 25 | 25 | 12.049 | 12.049 |
| Nbr | Breakdown current exponent parameter | - | 2 | 1.99 | 2 | 2 | 1.492 | 1.492 |
| Idso | Open channel (maximum) value of I_{ds} | mA | 62 | 49.97 | 12 | 18 | 200 | 75.213 |
| Deltgmac | Slope of G_m compression characteristic (AC) | - | 0.01146 | 0.01236 | 0.013 | 0.234 | 0.414 | 0.0013 |
| Tnom | Nominal ambient temperature | C | 25 | 25 | 25 | 25 | 25 | 25 |

Annexe 4

Lignes micro-ruban

1-Théorie des lignes microruban:

Une ligne micro-ruban est une ligne de transmission planaire (analogie avec un circuit imprimé double face : le cuivre du bas est la masse et le circuit est imprimé sur le cuivre du dessus).

❖ Paramètres d'une ligne micro-ruban:

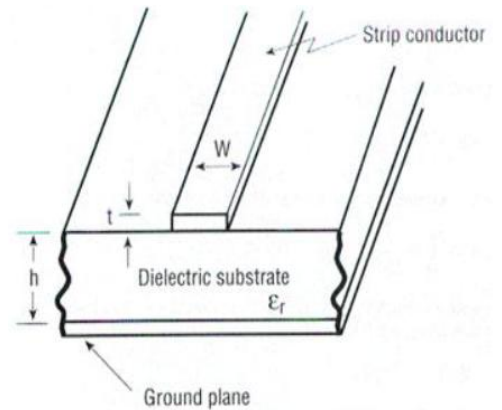
Z_0 = impédance caractéristique de la ligne,

ϵ_r = permittivité du substrat,

w = largeur du conducteur,

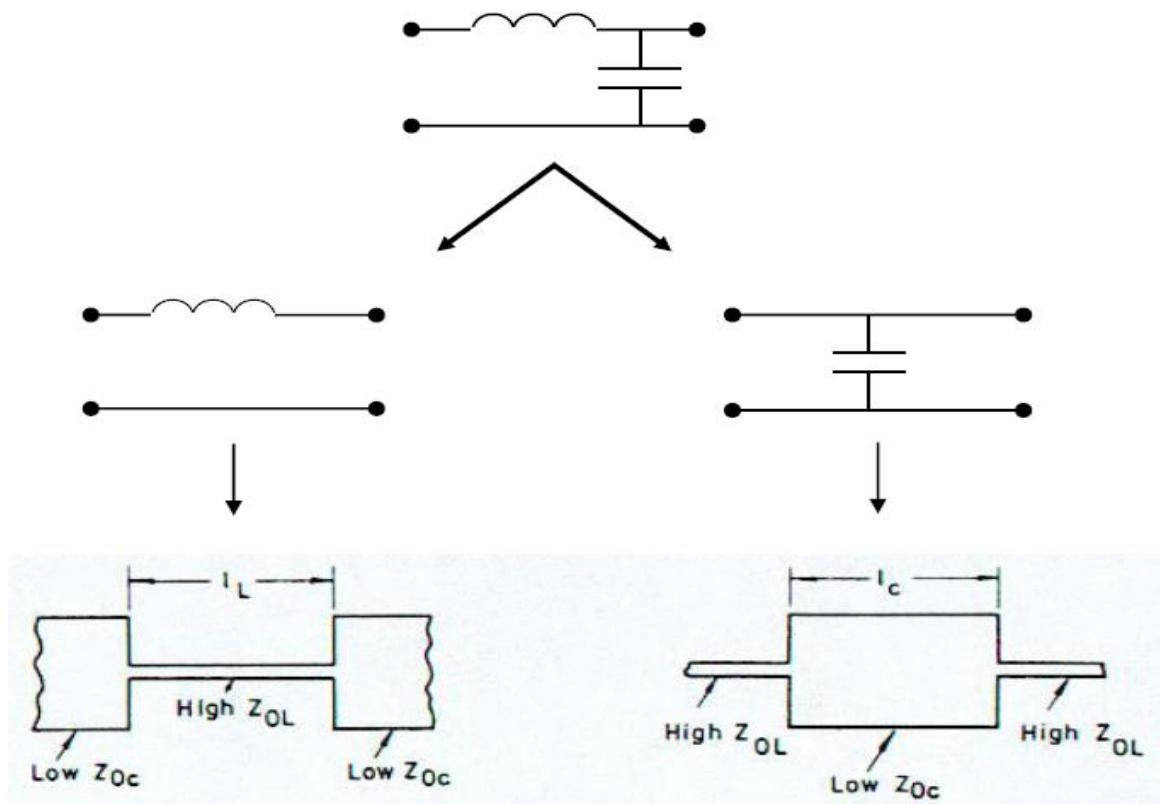
h = épaisseur ('hauteur') du substrat,

t = épaisseur du ruban métallique (conducteur).



Analogie avec la ligne de transmission

Pour rendre la ligne équivalente à une inductance, il faut diminuer la capacité : donc réduire la largeur du conducteur. Inversement, pour rendre la ligne capacitive.



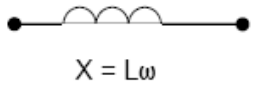
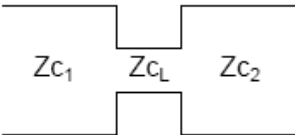
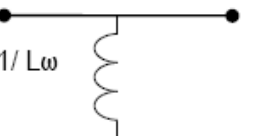
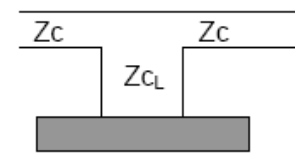
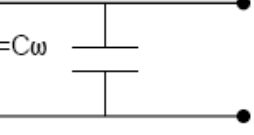
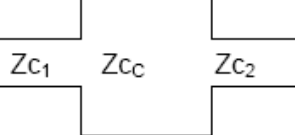
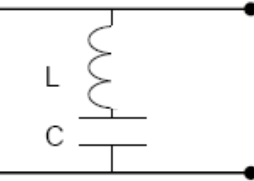
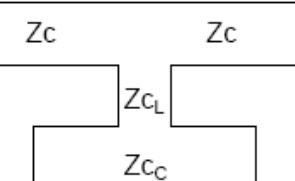
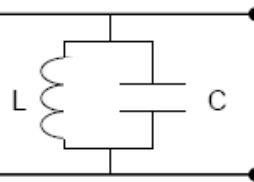
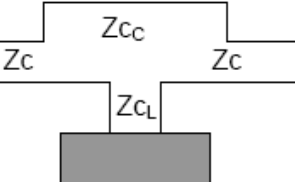
Relation entre w et Z_0

Augmenter la largeur w du ruban revient à diminuer l'impédance caractéristique de la ligne (voir les équations données plus loin). Une ligne capacitive aura donc une grande largeur de ruban et une faible impédance caractéristique. Inversement pour les inductances. Ce qui donne $Z_C \approx 0$ et $Z_L \approx \infty$:

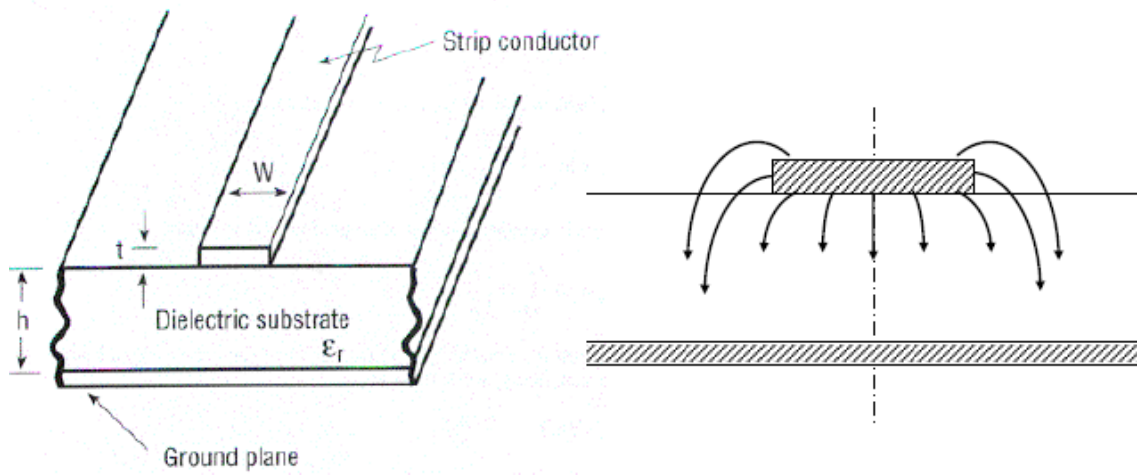
$$Z_{\text{capacitive}} < Z_0 (50\Omega) < Z_{\text{inductive}}$$

Ces valeurs sont souvent fonction du substrat utilisé, de la fréquence de travail.

❖ Circuits en ligne micro-ruban

| Circuit | Modèle |
|--|--|
|  <p>$X = L\omega$</p> |  <p>$Z_{cL} \gg Z_{c1,2}$</p> |
|  <p>$B = 1 / L\omega$</p> |  <p>$Z_{cL} \gg Z_c$</p> |
|  <p>$B = C\omega$</p> |  <p>$Z_{cC} \ll Z_{c1,2}$</p> |
|  <p>L C</p> |  <p>$Z_{cC} \ll Z_c \ll Z_{cL}$</p> |
|  <p>L C</p> |  <p>$Z_{cC} \ll Z_c \ll Z_{cL}$</p> |

❖ Schéma équivalent de la ligne micro-ruban



→ $\epsilon_{\text{relative}} (\epsilon_r)$ est donc remplacé par $\epsilon_{\text{effectif}} (\epsilon_e)$

2-Calcul de la ligne micro-ruban

Formules de synthèse (Z_o et la permittivité ϵ_r sont données)

A – Rapport W/h

Pour des lignes étroites : $\{ Z_o > (44 - 2 \epsilon_r) \}$,

$$\left(\frac{w}{h}\right) = \frac{1}{\left(\frac{\exp(H')}{8} - \frac{1}{4\exp(H')}\right)} \quad H' = \frac{Z_o \sqrt{2(\epsilon_r + 1)}}{119.9} + \frac{1}{2} \left(\frac{\epsilon_r - 1}{\epsilon_r + 1}\right) \left(\ln\left(\frac{\pi}{2}\right) + \frac{1}{\epsilon_r} \ln\left(\frac{4}{\pi}\right)\right)$$

Pour des lignes larges : $\{ Z_o < (44 - 2 \epsilon_r) \}$,

$$\left(\frac{w}{h}\right) = \frac{2}{\pi} \left((d-1) - \ln(2d-1) \right) + \frac{\epsilon_r - 1}{\pi \epsilon_r} \left(\ln(d-1) + 0.293 - \frac{0.517}{\epsilon_r} \right) \quad d = \frac{59.95 \pi^2}{Z_o \sqrt{\epsilon_r}}$$

B – ϵ_e (permittivité effective)

Pour des lignes étroites: $\{ Z_o > (63 - 2 \epsilon_r) \}$,

$$\epsilon_e = \frac{\epsilon_r + 1}{2} \left(1 - \frac{1}{2H'} \left(\frac{\epsilon_r - 1}{\epsilon_r + 1} \right) \left(\ln\left(\frac{\pi}{2}\right) + \frac{1}{\epsilon_r} \ln\left(\frac{4}{\pi}\right) \right) \right)^{-2} ;$$

$$H' = \frac{Z_o \sqrt{2(\epsilon_r + 1)}}{119.9} + \frac{1}{2} \left(\frac{\epsilon_r - 1}{\epsilon_r + 1} \right) \left(\ln\left(\frac{\pi}{2}\right) + \frac{1}{\epsilon_r} \ln\left(\frac{4}{\pi}\right) \right)$$

Pour des lignes larges: $\{ Z_o < (63 - 2 \epsilon_r) \}$,

$$\epsilon_e = \frac{\epsilon_r}{0.96 + \epsilon_r (0.109 - 0.004 \epsilon_r) (\log(10 + Z_o) - 1)}$$

Ces relations montrent que l'impédance caractéristique d'une ligne microbande est inversement proportionnelle à sa largeur. Une ligne de largeur plus faible que celle d'une ligne de 50Ω est une ligne de haute impédance et représente une inductance. À l'opposé, une ligne très large (par rapport à une ligne de 50Ω) est une capacité (impédance faible).

Formules de synthèse (Z_o et la permittivité ϵ_r sont données)

A – Rapport W/h

Pour des lignes étroites : $\{ (w/h) < 2 \}$,

$$\left(\frac{w}{h}\right) = \frac{8e^A}{e^{2A} - 2} \quad A = \frac{Z_o}{60} \sqrt{\frac{\epsilon_r + 1}{2}} + \frac{\epsilon_r - 1}{\epsilon_r + 1} \left(0.23 + \frac{0.11}{\epsilon_r}\right)$$

Pour des lignes larges : $\{ (w/h) > 2 \}$,

$$\left(\frac{w}{h}\right) = \frac{2}{\pi} \left[B - 1 - \ln(2B - 1) + \frac{\epsilon_r - 1}{2\epsilon_r} \left(\ln(B - 1) + 0.39 - \frac{0.61}{\epsilon_r} \right) \right] \quad B = \frac{377\pi}{2Z_o\sqrt{\epsilon_r}}$$

B – ϵ_e (permittivité effective)

$$\epsilon_e = \frac{\epsilon_r + 1}{2} + \frac{\epsilon_r - 1}{2} \cdot \frac{1}{\sqrt{1 + \frac{12h}{w}}}$$

Les composants passifs RF

1-Les inductances RF

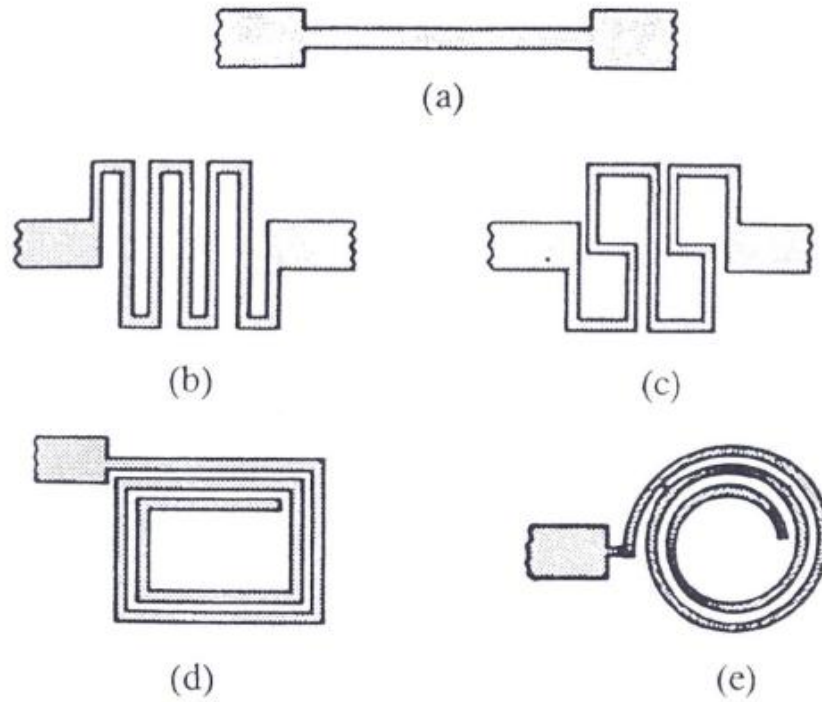


Figure A5.1: Les configurations des inductances planaires.

- (a) Section de ligne à forte impédance
- (b) Ligne méandre
- (c) Ligne en « S »
- (d) Spirale carrée
- (e) Spirale circulaire

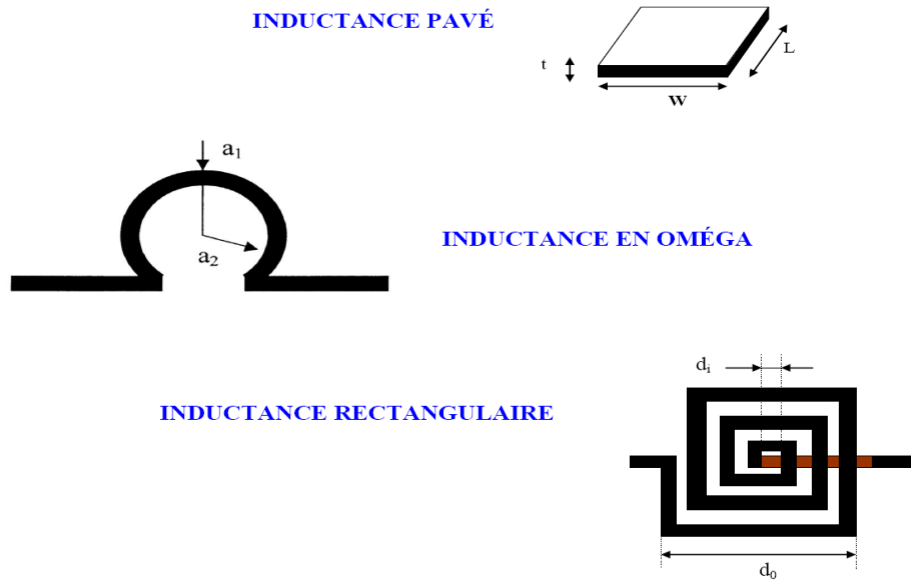
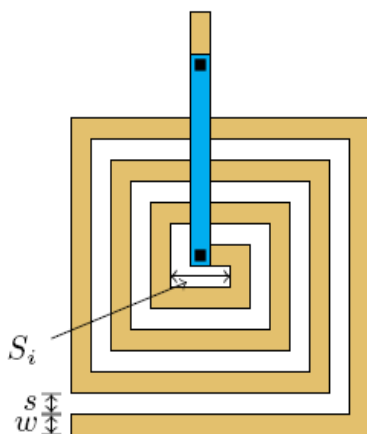


Figure A5.2: Les inductances RF.

Calcul de l'inductance spirale



Quelques paramètres :

- N est le nombre de tours
- $p = s + w$ (en μm)
- S est donné par :

$$S = S_i + N(s + w)$$

L'inductance est (approximativement) :

$$L = \frac{8N^2S}{1000} \left[\ln \left(\frac{S}{Np} \right) + 0.726 + 0.178 \left(\frac{Np}{S} \right) + \frac{1}{8} \left(\frac{Np}{S} \right)^2 \right] \text{ [nH]}$$

2-Les condensateurs RF

Deux types de condensateurs :

- Interdigital : utilisé pour des faibles valeurs ayant une grande précision. On s'en sert pour $C < 1\text{pF}$.
- MIM : Metal-Insulator-Metal, plus grande valeur, mais moins précis lors de la fabrication. Peut être utilisé jusqu'à 10pF environ. La tolérance est typiquement $(+)\text{-}5\%$.

COMPOSANTS RF – CAPACITÉS

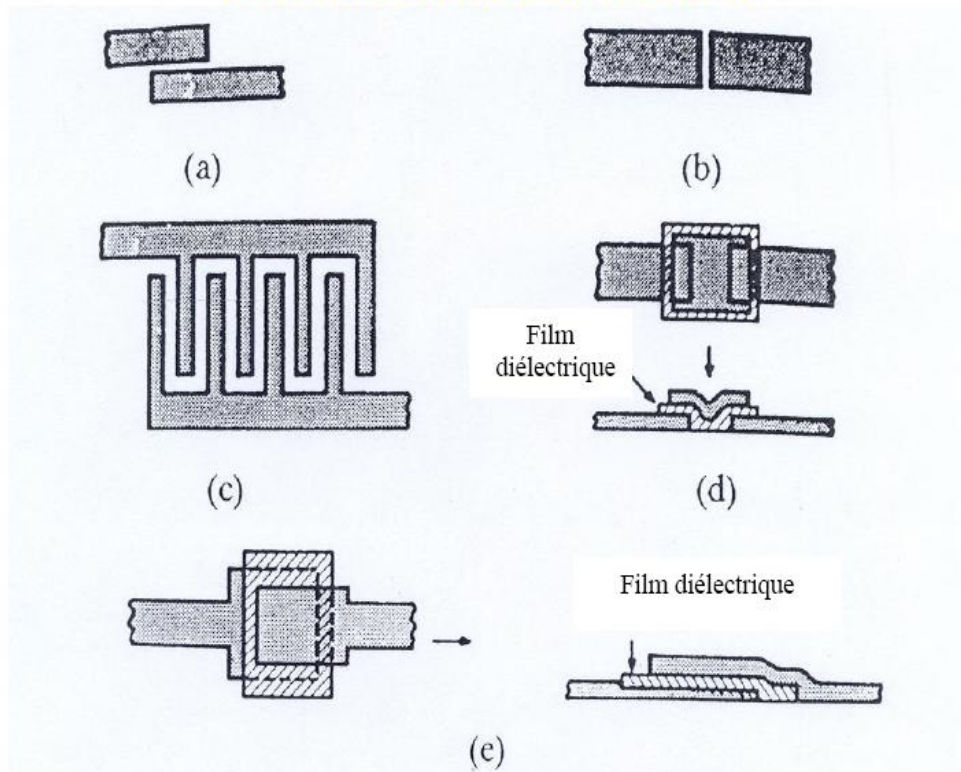
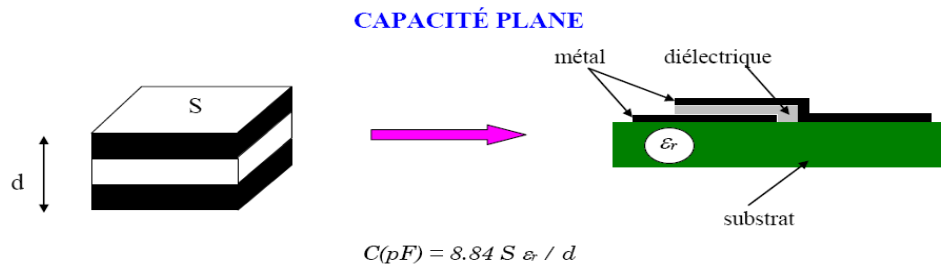


Figure A5.3: Configuration de capacités planaires

- (a) Lignes couplées par les cotés.
- (b) Lignes couplées par les extrémités.
- (c) Lignes interdigitées.
- (d) Lignes couplées par extrémités recouvertes.
- (e) Lignes imbriquées.

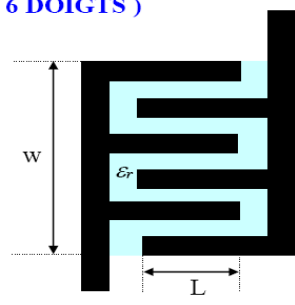


CAPACITÉ DIGITALISÉE (EXEMPLE : N = 6 DOIGTS)

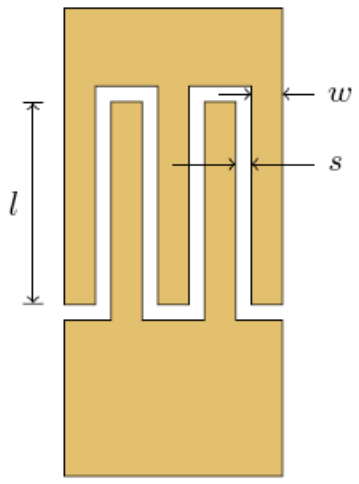
$$C(pF/cm) = [(N-3) A_1 + A_2] L (\epsilon_r + 1) / W$$

$$A_1 = 8.85 \cdot 10^{-2} W (cm)$$

$$A_2 = 9.92 \cdot 10^{-2} W (cm)$$



❖ **Condensateur interdigital**



La capacitance est (approximativement) :

$$C = \frac{\epsilon_e \times 10^{-3}}{18\pi} \frac{K(k)}{K(k')} (n - 1) l \text{ [pF]}$$

où

$$k = \tan^2 \left(\frac{w\pi}{4(w + s)} \right)$$

et n est le nombre de doigts.

3- Les résistances

Il y a 2 méthodes principales pour fabriquer des résistances :

- ❖ Dans le substrat : on dope une partie du substrat en GaAs pour en faire une résistance.

- ❖ Nichrome (NiCr) : on utilise un métal pour produire la résistance. Donne une plus petite résistance que celle au GaAs, mais est plus stable à long terme.

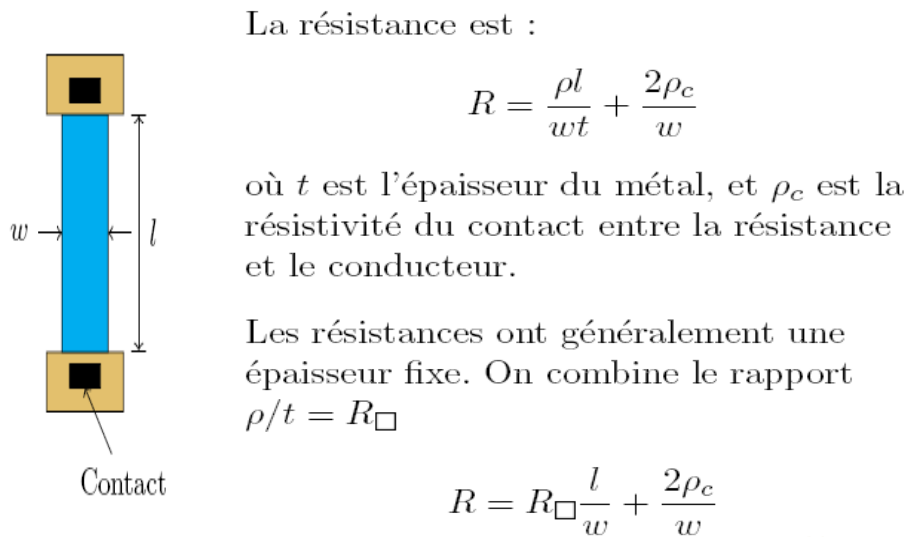


Figure A5.4: Résistance RF.

4-Circuit intégré hyperfréquence en technologie microstrip

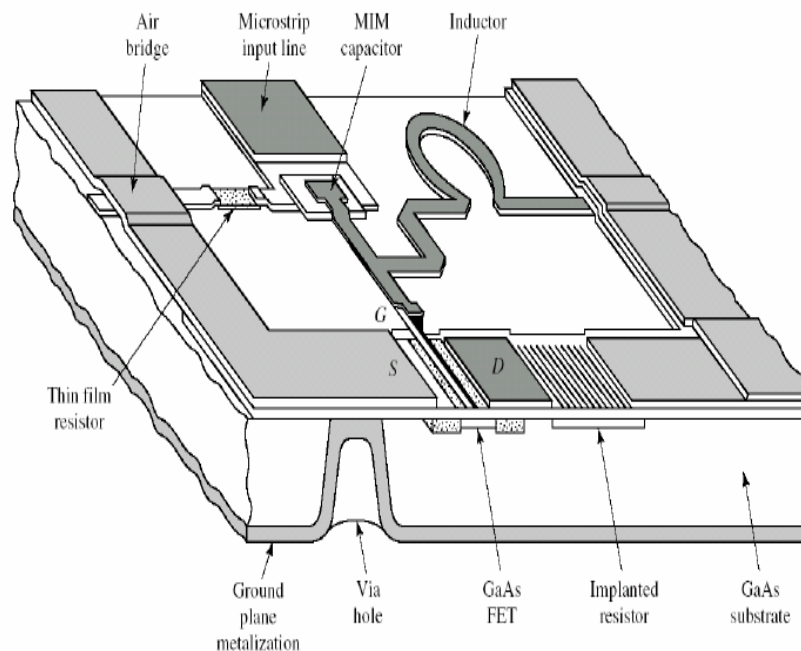


Figure A5.5: Circuit intégré hyperfréquence en technologie microstrip.

Annexe 6

Les composants microstrip sous ADS

1-Le chanfrein

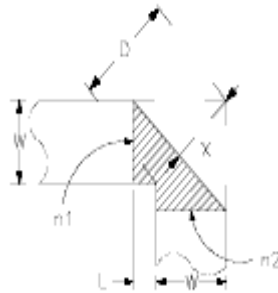
MSOBND_MDS (Optimally Chamfered Bend (90-degree))

Symbole



MSOBND_MDS
Bend2
Subst="MSub1"
W=10.0 mil

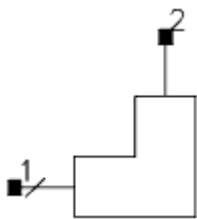
Layout



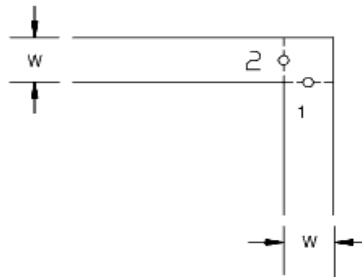
2-Le coude

MCORN (90-degree Microstrip Bend (Unmitered))

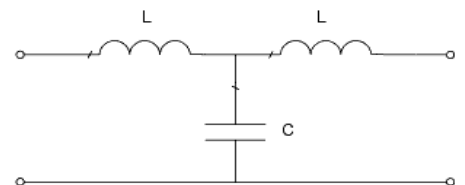
Symbole



Schéma



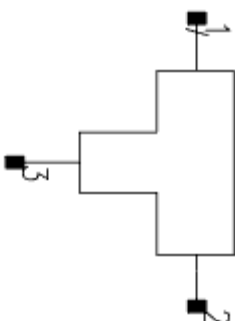
Circuit équivalent



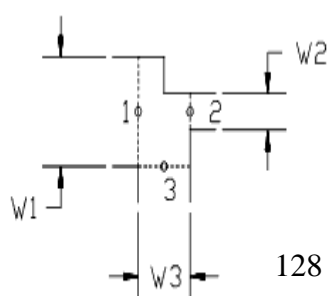
3- La jonction en T (Tee)

MTEE_ADS (Libra Microstrip T-Junction)

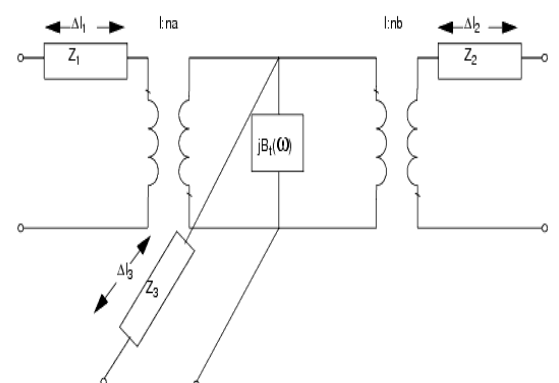
Symbole



Schéma

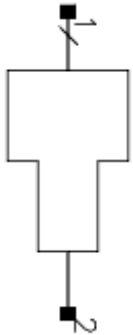


Circuit

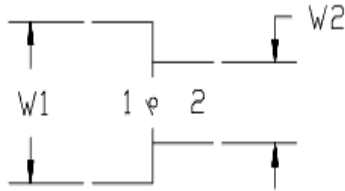


**4-Le step
MSTEP (Microstrip Step in Width)**

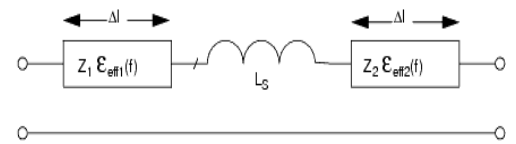
Symbole



Schéma

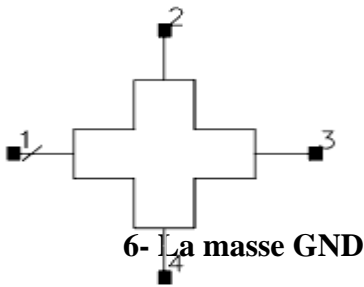


Circuit

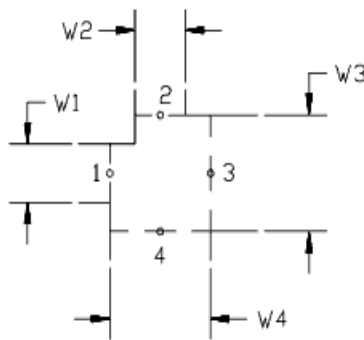


**5-La jonction en croix (cross-junction)
MCROSO (Alternate Libra Microstrip Cross-Junction)**

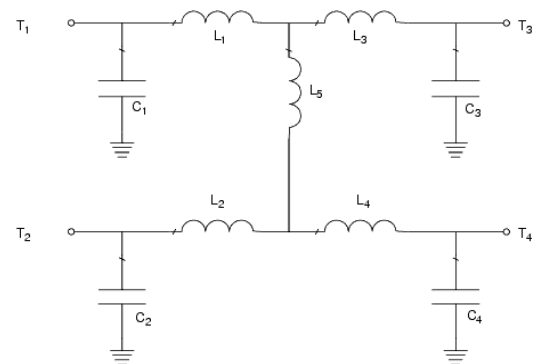
Symbole



Schéma



Circuit équivalent

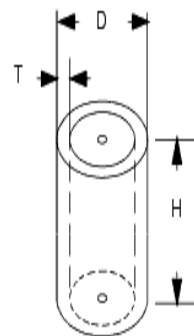


VIAGND (Cylindrical Via Hole to Ground in Microstrip)

Symbole



Schéma

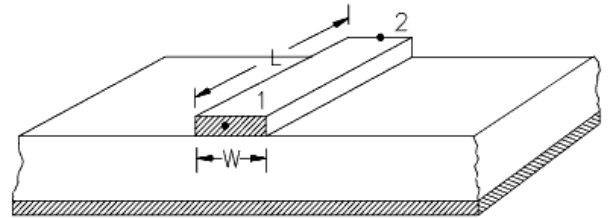


**7-Ligne microstrip
MLIN (Microstrip Line)**

Symbole



Schéma



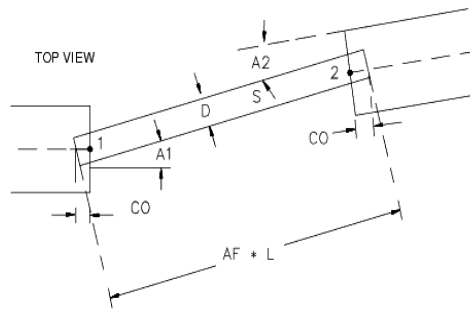
8-Fil

WIRE (Round Wire)

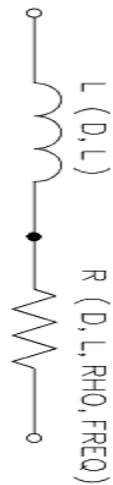
Symbole



Schéma



Circuit

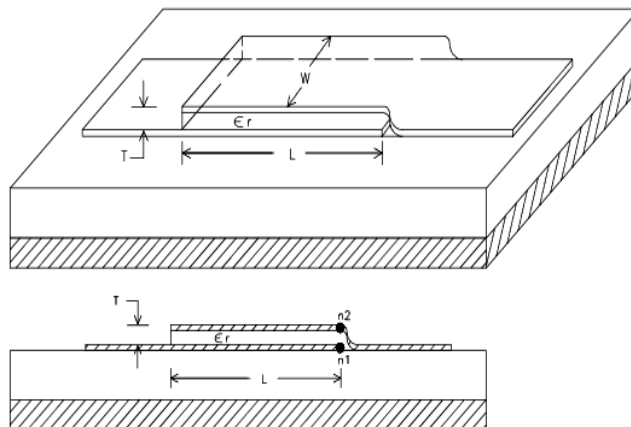


9-Condensateur TFC

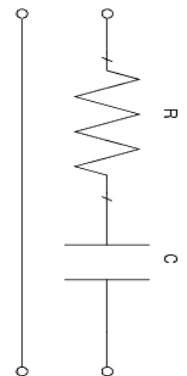
Symbole



Schéma



Circuit équivalent



Layout



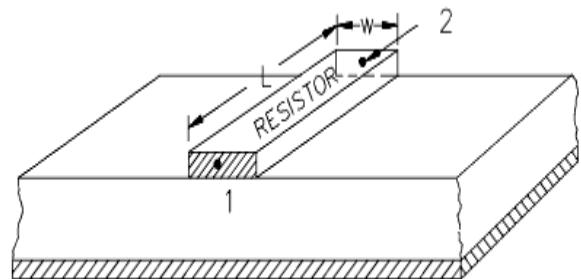
10-Résistance couche fine TFR

TFR (Thin Film Resistor)

Symbole

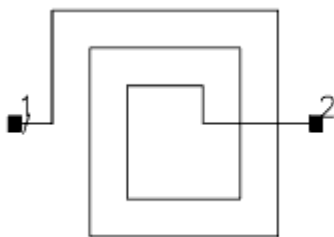


Schéma

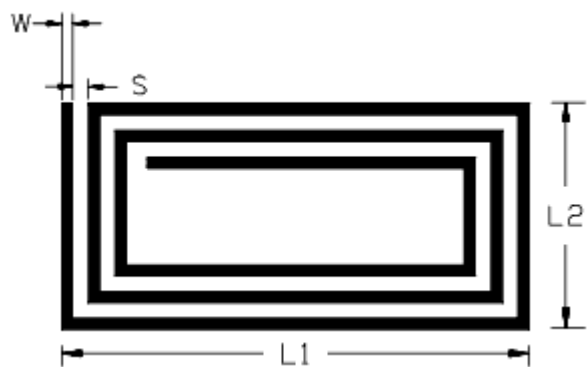


11- Inductance spirale MRIND (Microstrip Rectangular Inductor)

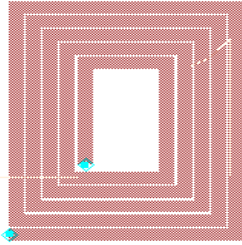
Symbole



Schéma



Layout



12- Les composants CMS (SMT)

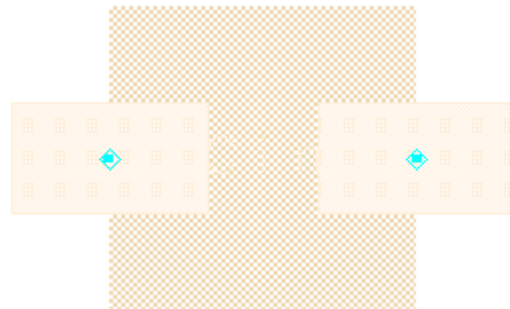
a- Le condensateur SMT

Symbole



b- I `sc_atc_100_CDR11BG_K_19960828`
`PART_NUM=ATC100A180KCA150 18pF`

Layout



Symbole



`sr_avx_CR_05_J_19960828`
`PART_NUM=CR05-9R1J 9.1 Ohm`

Layout physique



Annexe 7

Résultats de simulation

Dessin masque de l'amplificateur double étage cascadi

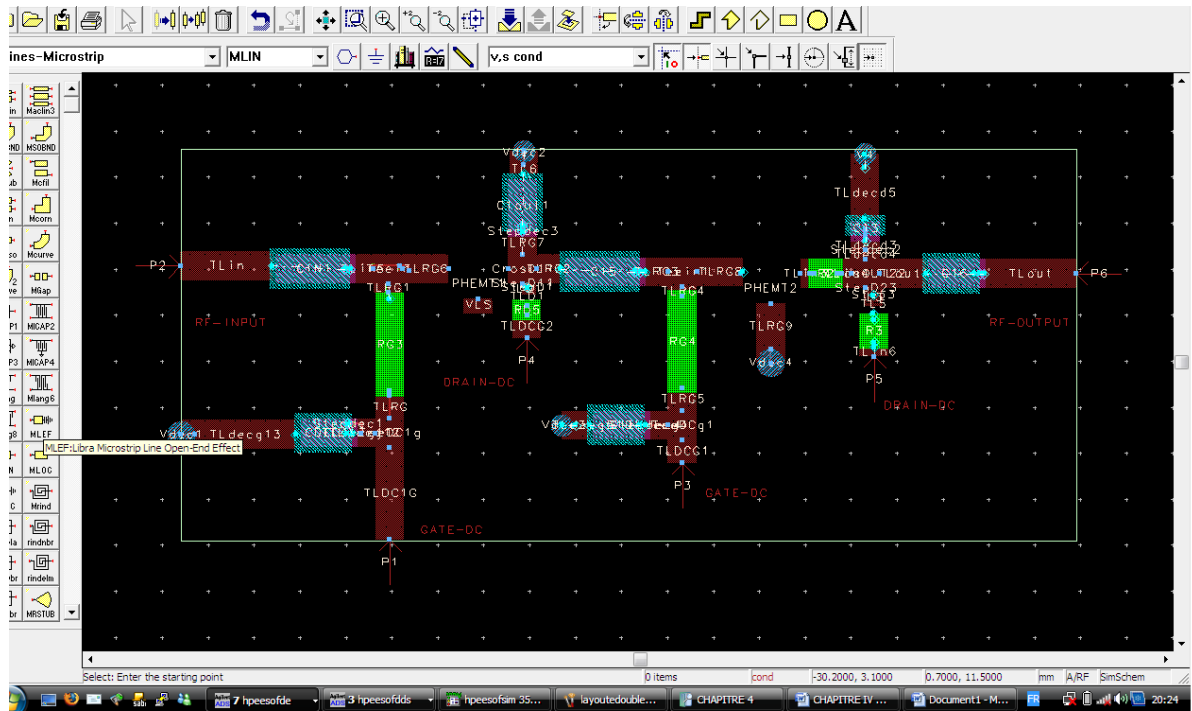


Figure A7.1: Dessin masque de l'amplificateur LNA double étage cascadi complet sous ADS.

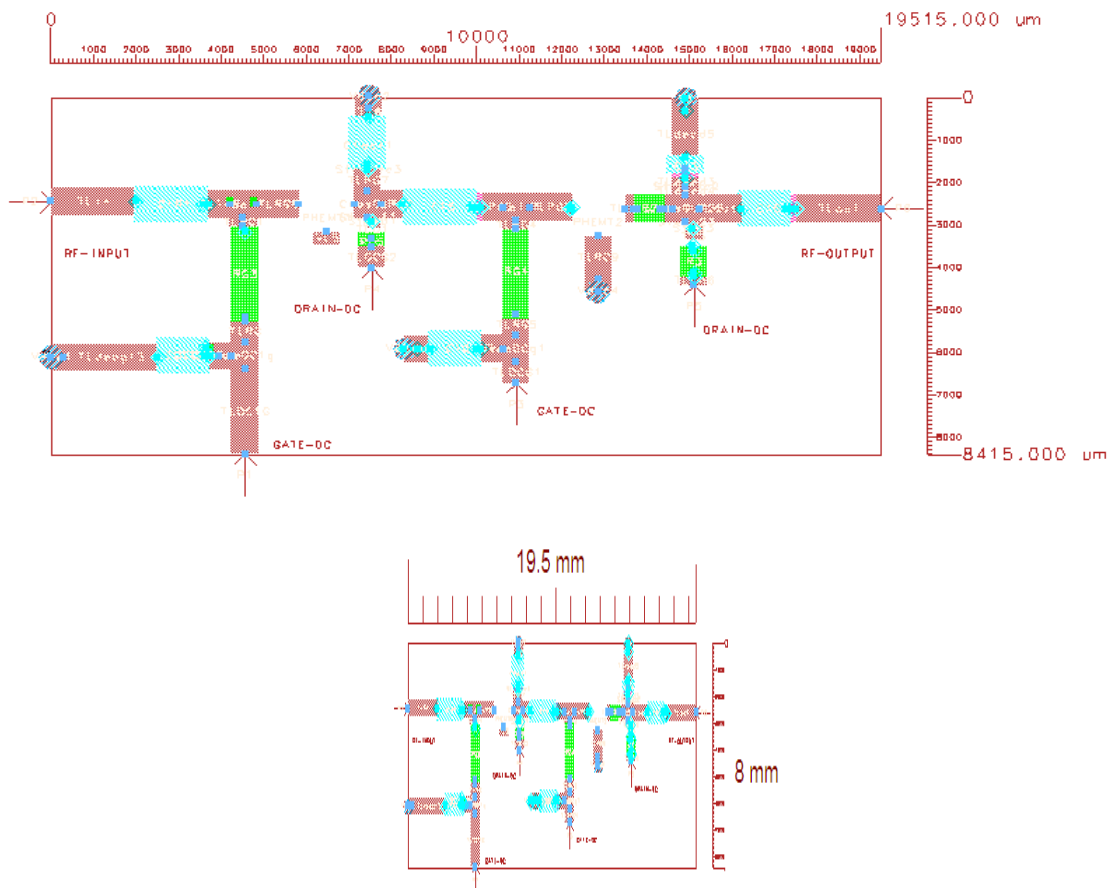


Figure A7.2: Dimensionnement du Dessin masque de l'amplificateur LNA double étage cascadié complet

Liste des publications et communications personnelles

I- PUBLICATIONS DANS DES REVUES INTERNATIONALES

Z. Hamaizia, N. Sengouga, M. Missous, M.C.E. Yagoub, "Design of a wideband low noise amplifier for radio-astronomy application", *Journal of Instrumentation*, vol 5, pp 4008-4024, April 2010.

II- PUBLICATIONS DANS DES REVUES NATIONALES

Z. Hamaizia, N. Sengouga, M. Missous, "Small-signal modeling of pHEMTs and analysis of their microwave performances", *Courrier du Savoir Scientifique et Technique Revue Périodique de l'Université Mohamed Khider Biskra*, vol 10, pp.59-64 Avril 2010.

III- COMMUNICATIONS INTERNATIONALE

Z. Hamaizia, N. Sengouga, M. Missous, M.C.E. Yagoub, W. Terguini, "Extraction des Paramètres du Schéma Equivalent Petit Signal des Transistors PHEMTs à Base de Substrats GaAs et InP et Analyse de leurs Performances Hautes Fréquences", *1^{ère} Conférence Internationale Sur l'Electrotechnique, l'Electronique, l'Automatique et la Maintenance Oran*, le 16 & 17 Décembre 2008.

Z. Hamaizia, N. Sengouga, M. Missous, M.C.E Yagoub, "Modélisation petit signal du transistor pHEMT et analyse des performances hyperfréquences", *IEEE Int. Conf. Sciences of Electronics, Technologies of Information and Telecommunications (SETIT09)*, Hammamet, Tunisia, March 22-26, 2009.

Z. Hamaizia, N. Sengouga, M.C.E. Yagoub, "Low Noise Amplifier Design for radio-astronomy Application", *3rd IEEE International Conference on Signals, Circuits & Systems (SCS 2009)*, Djerba, Tunisia, Nov. 6-8, 2009.

Z. Hamaizia, N. Sengouga, M.C.E Yagoub, "Design of Wideband Low Noise Amplifier for Radio-astronomy Application", *11th edition of International Workshop on Symbolic and Numerical Method Modeling and Application to Circuit Design (SM²ACD'2010)*, Gammarth, Tunisia, October 4-6 2010.